

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号  
特開2001-68455  
(P2001-68455A)

(43) 公開日 平成13年3月16日 (2001.3.16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/3065		H 0 1 L 21/302	J 5 F 0 0 4
21/3205		21/88	B 5 F 0 3 3

審査請求 未請求 請求項の数 8 O L (全 29 頁)

(21) 出願番号 特願平11-242686

(22) 出願日 平成11年8月30日 (1999.8.30)

(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(72) 発明者 宇野 正一  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内

(72) 発明者 湯之上 隆  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内

(74) 代理人 100080001  
弁理士 筒井 大和

最終頁に続く

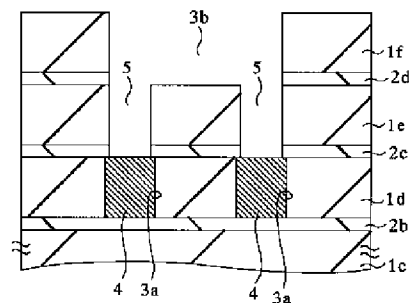
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 窒素を含む絶縁膜のサイドエッチを抑制または防止する。

【解決手段】 窒化シリコンからなる絶縁膜2cを、 $\text{CHF}_3$  /  $\text{O}_2$  / Ar ガスを用いたプラズマエッチング処理によって除去する際に、Ar ガスの流量を  $\text{CHF}_3$  ガスの20倍以上とした。

図 6



【特許請求の範囲】

【請求項1】 (a) 半導体基板上に窒素を含む第1の絶縁膜を形成する工程、(b) 前記第1の絶縁膜上に第2の絶縁膜を形成する工程、(c) 前記第2の絶縁膜上にマスキング層を形成する工程、(d) 前記マスキング層をマスクとし、かつ、前記第1の絶縁膜をエッチングストップとして、前記半導体基板に対してエッチング処理を施すことにより、前記第2の絶縁膜に、底面から前記第1の絶縁膜が露出する凹部を形成する工程、(e) 前記凹部形成後、フロロカーボンガスおよび不活性ガスを含むガス雰囲気中において、前記半導体基板に対してプラズマエッチング処理を施すことにより、前記凹部の底面から露出する第1の絶縁膜を除去する工程を有し、前記不活性ガスの流量を前記フロロカーボンガスの流量の20倍以上としたことを特徴とする半導体装置の製造方法。

【請求項2】 (a) 半導体基板上に窒素を含む第1の絶縁膜を形成する工程、(b) 前記第1の絶縁膜上に第2の絶縁膜を形成する工程、(c) 前記第2の絶縁膜上にマスキング層を形成する工程、(d) 前記マスキング層をマスクとし、かつ、前記第1の絶縁膜をエッチングストップとして、前記第2の絶縁膜に対してエッチング処理を施すことにより、前記第2の絶縁膜に、底面から前記第1の絶縁膜が露出する凹部を形成する工程、

(e) 前記凹部形成後、フロロカーボンガスおよび不活性ガスを含むガス雰囲気中において、前記半導体基板に対してプラズマエッチング処理を施すことにより、前記凹部の底面から露出する第1の絶縁膜を除去する工程を有し、前記不活性ガスの流量を400 sccm以上としたことを特徴とする半導体装置の製造方法。

【請求項3】 (a) 半導体基板上に窒素を含む第1の絶縁膜を形成する工程、(b) 前記第1の絶縁膜上に第2の絶縁膜を形成する工程、(c) 前記第2の絶縁膜上に窒素を含む第3の絶縁膜を形成する工程、(d) 前記第3の絶縁膜上に第1のマスキング層を形成した後、そのマスキング層をマスクとして、フロロカーボンガスおよび不活性ガスを含むガス雰囲気中において、前記半導体基板に対してプラズマエッチング処理を施すことにより、前記第3の絶縁膜をパターンニングする工程、(e) 前記第3の絶縁膜を覆うように前記半導体基板上に第4の絶縁膜を形成する工程、(f) 前記第4の絶縁膜上に第2のマスキング層を形成した後、前記第2のマスキング層をマスクとし、かつ、前記第1の絶縁膜および第3の絶縁膜をエッチングストップとして、前記半導体基板に対してエッチング処理を施すことにより、前記第2、第4の絶縁膜に、前記第1の絶縁膜および第3の絶縁膜が露出する凹部を形成する工程、(g) 前記凹部形成後、フロロカーボンガスおよび不活性ガスを含むガス雰囲気中において、前記半導体基板に対してプラズマエッチング処理を施すことにより、前記凹部から露出する第

1の絶縁膜および第3の絶縁膜を除去する工程を有し、前記(d)および(g)工程における不活性ガスの流量を前記フロロカーボンガスの流量の20倍以上としたことを特徴とする半導体装置の製造方法。

【請求項4】 請求項1、2または3記載の半導体装置の製造方法において、前記凹部のアスペクト比が3以上であることを特徴とする半導体装置の製造方法。

【請求項5】 請求項1、2、3または4記載の半導体装置の製造方法において、前記凹部内に導体膜を埋め込む工程を有することを特徴とする半導体装置の製造方法。

【請求項6】 (a) 半導体基板上に窒素を含む第1の絶縁膜を形成する工程、(b) 前記第1の絶縁膜上にマスキング層を形成した後、そのマスキング層をマスクとして、フロロカーボンガスおよび不活性ガスを含むガス雰囲気中において、前記第1の絶縁膜に対してプラズマエッチング処理を施すことにより、前記第1の絶縁膜をパターンニングする工程を有し、前記不活性ガスの流量を前記フロロカーボンガスの流量の20倍以上としたことを特徴とする半導体装置の製造方法。

【請求項7】 (a) 半導体基板上に窒素を含む第1の絶縁膜を形成する工程、(b) 前記第1の絶縁膜上にマスキング層を形成した後、そのマスキング層をマスクとして、フロロカーボンガスおよび不活性ガスを含むガス雰囲気中において、前記第1の絶縁膜に対してプラズマエッチング処理を施すことにより、前記第1の絶縁膜をパターンニングする工程を有し、前記不活性ガスの流量を400 sccm以上としたことを特徴とする半導体装置の製造方法。

【請求項8】 請求項1～7のいずれか1項に記載の半導体装置の製造方法において、前記不活性ガスがアルゴン、ヘリウム、ネオン、キセノンまたはクリプトンであることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造技術に関し、特に、プラズマ中のラジカルやイオンを用いて窒素を含む絶縁膜をドライエッチングする技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】本発明者が検討したドライエッチング技術は、例えばデュアルダマシン法を用いた配線形成技術における窒素を含む絶縁膜のドライエッチング技術である。

【0003】半導体装置の素子集積度の向上や半導体チップのサイズの縮小等に伴い、半導体装置を構成する配線の微細化および多層化が進められている。特に、多層配線構造を有するロジック系の半導体装置においては、配線遅延が半導体装置全体の信号遅延の支配的要因の1

つとなっている。この配線に流れる信号の速度は、配線抵抗と配線容量とに比例していることから配線遅延を改善するために配線抵抗と配線容量とを低減することが重要である。

【0004】配線抵抗の低減に関しては、配線材料に銅系材料（銅または銅合金）を用いたダマシン（Damascene）法の適用が進められている。このダマシン法は、絶縁膜に配線形成用の溝を形成した後、その絶縁膜上および配線形成用の溝内に配線形成用の導体膜を被着し、さらに、その導体膜の不要な部分を化学的機械研磨法（CMP；Chemical Mechanical Polishing）等により除去し、上記溝内のみに導体膜を残すことで、配線形成用の溝内に埋込配線を形成する方法である。この方法によれば、エッチング法による微細加工が困難な銅系材料の加工が可能となる。

【0005】また、このダマシン法の応用であるデュアルダマシン法（Dual-Damascene）は、絶縁膜に配線形成用の溝およびその溝の底部から下層の接続部に延びるコンタクトホールまたはスルーホール等のような孔を形成した後、その絶縁膜上、配線形成用の溝および孔内に配線形成用の導体膜を被着し、さらに、その導体膜の不要な部分をCMP法等によって除去することで上記溝および孔内のみに導体膜を残すことにより、配線形成用の溝内に埋込配線を形成し、かつ、その孔内にプラグを形成する方法である。この方法によれば、埋込配線およびプラグを同一工程で形成できるので、配線形成工程数を削減することができ、半導体集積回路装置の製造コストの低減を図ることができる。

【0006】ところで、本発明者が検討したデュアルダマシン法においては、上記溝および孔を形成する際に、窒素を含む絶縁膜（以下、窒化膜ともいう）をエッチング除去する工程として、例えば次の2つの工程がある。第1のドライエッチング工程は、孔を形成する際にエッチングマスクとして使用する窒化膜のパターニング工程である。この工程においては、窒化膜上にフォトリソ膜を形成した後、これをエッチングマスクとして、プラズマドライエッチング処理を施すことにより、そのマスクから露出する窒化膜を除去する。その除去領域が孔の形成領域となる。第2のドライエッチング工程は、孔の底部から露出する窒化膜の除去工程である。ダマシン法を用いた銅系配線構造においては、銅の拡散防止の観点から銅系配線の上面にも窒素を含む絶縁膜を形成しておく構造が有力視されている。この場合、その銅系配線の上層の絶縁膜に孔を穿孔すると、その孔の底面からはその銅系配線上面を覆う窒化膜が露出される。しかし、その孔を通じて上下の銅系配線間を電氣的に接続するためには、その孔から露出する窒化膜をドライエッチング処理によって除去する必要がある。

【0007】なお、デュアルダマシン法については、例えば特開平9-306988号公報（第1文献）や特開

平10-209273号公報（第2文献）がある。この第1文献には、第1の層間絶縁膜とその上の第2の層間絶縁膜との間に、孔穿孔用の開口部が形成されたエッチングストップ用の絶縁膜を設けておき、第2の層間絶縁膜にフォトリソ膜を用いて溝を形成する際に、エッチングストップ用の絶縁膜をエッチングストップとして、その絶縁膜の孔形成用の開口部から露出する第1の層間絶縁膜に孔を穿孔する、いわゆるセルフアライン方式のデュアルダマシン法が開示されている。また、上記第2文献には、層間絶縁膜に溝を形成した後、その溝の底部から下方に延びる孔を穿孔する、いわゆる溝先方式のデュアルダマシン法が開示されている。

【0008】

【発明が解決しようとする課題】ところが、上記した窒化膜の第1、第2のドライエッチング技術においては、以下の課題があることを本発明者は見出した。

【0009】すなわち、上記第1のドライエッチング工程においては、窒化膜に形成された孔形成用の開口側面に順テーパが形成されてしまう問題がある。これにより、窒化膜に形成された孔形成用の開口部の平面寸法が設計値よりも小さくなる。また、その窒化膜からなるマスクパターンをエッチングマスクとしてその下層の層間絶縁膜に孔を穿孔すると、その層間絶縁膜に穿孔された孔の側面も順テーパ状に形成される結果、その孔の底面積を十分に確保することができず、接触抵抗の増大や非導通不良の問題が生じる。

【0010】また、上記第2のドライエッチング工程においては、孔の底部の窒化膜がウエハの主面に対して平行な方向に過剰にエッチング（サイドエッチング）される結果、孔の底部における窒化膜部分が孔の直径方向に部分的に窪んでしまう問題がある。これにより、例えば銅を配線材料とした場合は、孔内に銅を埋め込む前に、主として銅の拡散を防止するバリア導体膜を被着するが、そのバリア導体膜の被覆性が劣化する結果、銅の埋め込みが困難となる問題や銅の拡散防止性能が不十分となる問題が生じる。

【0011】本発明の目的は、窒素を含む絶縁膜に形成される凹部の断面形状の形成精度を向上させることのできる技術を提供することにある。

【0012】また、本発明の目的は、窒素を含む絶縁膜のサイドエッチを抑制または防止することのできる技術を提供することにある。

【0013】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0015】すなわち、本発明は、窒素を含む絶縁膜に

対してフロロカーボンガスおよび不活性ガスを含むガス雰囲気中においてプラズマエッチング処理する際に、前記不活性ガスの流量を前記フロロカーボンガスの流量の20倍以上とするものである。

【0016】また、本発明は、窒素を含む絶縁膜に対してフロロカーボンガスおよび不活性ガスを含むガス雰囲気中においてプラズマエッチング処理する際に、前記不活性ガスの流量を400 s c c m以上とするものである。

【0017】

【発明の実施の形態】本願発明を詳細に説明する前に、本願における用語の意味を説明すると、例えば次の通りである。

【0018】1. 化学機械研磨（CMP：Chemical Mechanical Polishing）とは、一般に被研磨面を相対的に柔らかい布様のシート材料等からなる研磨パッドに接触させた状態で、スラリを供給しながら面方向に相対移動させて研磨を行うことを言う。本願においては、そのほか硬質の砥石面と相対移動させるCML（Chemical Mechanical Lapping）等も含むものとする。

【0019】2. デバイス面とは、半導体ウエハの主面であってその面にフォトリソグラフィにより、複数のチップ領域に対応するデバイスパターンが形成される面を言う。

【0020】3. 埋込配線とは、シングルダマシン（Single Damascene）やデュアルダマシン（Dual Damascene）等のように絶縁膜に溝等を形成して、そこに導電膜を埋め込み、その後には不要な導電材料を除去する配線形成技術によりパターンニングされた配線を言う。また、一般にシングルダマシンとは、2段階に分けてプラグメタルと配線用メタルを埋め込む埋込配線プロセスを言う。同様に、デュアルダマシンとは一般に一度にプラグメタルと配線用メタルとを埋め込む埋込配線プロセスを言う。

【0021】4. 半導体集積回路ウエハ（半導体集積回路基板）または半導体ウエハ（半導体基板）とは、半導体集積回路の製造に用いるシリコン単結晶基板（一般にほぼ平面円形状）、サファイア基板、ガラス基板その他の絶縁、反絶縁または半導体基板等並びにそれらの複合的基板を言う。

【0022】5. 有機シロキサンは一般にシロキサン結合を有する珪素化合物にアルキル基、アリル基等の有機官能基が結合した有機化合物、重合体およびそれらを含む共重合体を示す。樹脂の分野ではシリコーン樹脂とも呼ばれる。本明細書中では、有機絶縁膜とも言う。

【0023】6. 有機SOG（Spin On Glass）は、一般にシロキサン重合体または他のモノマーとの共重合体に各種の有機官能基が結合した高分子樹脂を溶剤に溶いて、半導体ウエハ上にスピン塗布して形成する層間絶縁膜材料である。一般に、無機SOGに比べて、キュア後

にクラックが入りにくいいため厚めに形成できる特徴がある。有機シロキサン系層間絶縁膜材料にはCVD（Chemical Vapor Deposition）に依るものがある。

【0024】7. シリコンナイトライド、窒化珪素というときは、 $\text{Si}_3\text{N}_4$ のみでなくシリコンの窒化物で類似組成の絶縁膜を含むものとする。

【0025】8. エッチングストップと言うときは、原則としてエッチング対象膜の当該エッチングストップ膜に対するエッチング選択比が4以上のものを言う（AのBに対するエッチング選択比がXとは、AのエッチングレートがXで、Bのエッチングレートが1であることを言う）。なお、エッチングストップ膜には、塗布ストップ膜等も含まれる。

【0026】9. マスキング層は、一般にレジスト膜を言うが、無機マスクや非感光性の有機物マスク等も含むものとする。

【0027】10. 異常形状（サイドエッチ）とは、孔をドライエッチング処理によって形成する際に、その凹部の底部の窒素を含む絶縁膜がウエハの主面に対して平行な方向に過剰に削られてしまうことによってできる不本意な形状を言う。

【0028】11. スルーホールとは、異なる配線層間を電氣的に接続するために配線層間の絶縁膜に穿孔された孔である。本明細書中においては配線層と半導体集積回路基板とを接続するために配線層と半導体集積回路基板との間の絶縁膜に穿孔されたコンタクトホールも含むものとする。

【0029】以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0030】また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0031】さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0032】同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0033】また、本願において半導体集積回路装置というときは、シリコンウエハやサファイア基板等の半導

体または絶縁体基板上に作られるものだけでなく、特に、そうでない旨明示された場合を除き、TFT (Tin-Film-Transistor) およびSTN (Super-Twisted-Nematic) 液晶等のようなガラス等の他の絶縁基板上に作られるもの等も含むものとする。

【0034】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。また、本実施の形態においては、pチャネル型のMISFET (Metal Insulator Semiconductor Field Effect Transistor) をpMISと略し、nチャネル型のMISFETをnMISと略す。

【0035】(実施の形態1) まず、本実施の形態を説明する前に、本発明者らが本発明をするのに検討した技術(以下、単に発明者検討技術という)およびその課題等について説明する。図1は、その発明者検討技術の説明図であって、デュアルダマシン法によって埋込配線を形成する工程中の半導体基板の要部断面図を示している。

【0036】図1に示す層間絶縁膜50a~50dは、例えば酸化シリコン膜または有機SOG膜からなる。層間絶縁膜50a~50dの間に形成された絶縁膜51a~51cは、エッチングストップ機能および銅の拡散抑制または防止機能を有する膜であり、例えば窒化シリコン膜からなる。層間絶縁膜50bには、絶縁膜51aが底部から露出するような配線形成用の溝52が形成されており、その内部には埋込配線形成用の導体膜53が埋め込まれている。そして、層間絶縁膜50c、50dおよび絶縁膜51b、51cには、底部から埋込配線形成用の導体膜53の上面の一部が露出されるような孔54が穿孔されている。この孔54は、層間絶縁膜50d、50cおよび絶縁膜51cに、絶縁膜51bをエッチングストップとして、底部から絶縁膜51bの上面が露出されるような第1の孔をプラズマドライエッチング処理によって形成した後、その第1の孔の底部から露出する絶縁膜51bを、例えば $\text{CHF}_3/\text{O}_2/\text{Ar}$ ガスを用いた選択エッチング処理によって除去することにより形成されている。しかし、この発明者検討技術の場合には、孔54の底部の絶縁膜51b部分が孔54の直径方向に削られ(サイドエッチ)てしまう問題がある。

【0037】このサイドエッチの発生要因として主に次のことが考えられる。孔54の底の絶縁膜51bをエッチング除去する場合、エッチング処理と同時に、例えば炭素やフッ素を成分とする生成物が発生する。この生成物は、図2(a)に示すように、CF系の堆積物55として孔54の内壁面に堆積していると考えられ、孔54の底に近づくほど、孔54の内側面のCF系の堆積物55の膜厚が薄くなっている。このため、孔54の底部においては、CF系の堆積物55による保護効果が薄れる

ので、ケミカルエッチングによりサイドエッチが入り易くなると考えられる。また、電子シェーディングにより、図2(b)に示すように、孔54の内側面は全体的に正に帯電している。このため、孔54内に入射してきたイオンは、孔54内で軌道が曲げられ、孔54の底部角に入射するようになる。その結果、孔54の底部がサイドエッチされるものと考えられる。

【0038】このようなサイドエッチの問題は、孔54のアスペクト比が高くなるほど顕著になる。図2(a)で説明した要因においては、孔54のアスペクト比が高くなるほど、孔54の底部におけるCF系の堆積物55の被覆性が劣化しCF系の堆積物55の膜厚が薄くなるからである。また、図2(b)で説明した要因においては、孔54のアスペクト比が高くなるほど、すなわち、孔54が深くなるほど、孔54内に入射されるイオンの軌道が大きく曲げられてしまうからである。図3は、サイドエッチ量のアスペクト比依存性を示している。エッチング装置としては、例えば平行平板型RIE (Reactive Ion Etching) 装置を用い、下記の条件で図1、2で示した絶縁膜51bを80%程度オーバエッチングとなるようにしてエッチング除去した。すなわち、圧力は、例えば50mTorr程度、高周波(RF)パワーは、上部電極/下部電極=1000/200W程度、エッチングガスとしては、例えば $\text{CHF}_3/\text{O}_2=20/20\text{ sccm}$ 程度とした。この図3から分かるように、アスペクト比が高くなるほど、サイドエッチ量は増加している。

【0039】また、他の発明者検討技術においては、次のような問題もある。図4は、層間絶縁膜50e上に堆積された絶縁膜51dをフォトリソ膜56をエッチングマスクとしてパターンニングした場合が示されている。層間絶縁膜50eは、例えば酸化シリコン膜または有機SOG膜からなり、絶縁膜51dは、溝や孔を形成する際にエッチングマスク(エッチングストップ)として機能する膜であり、例えば窒化シリコン膜からなる。絶縁膜51dには、フォトリソ膜56をエッチングマスクとして開口された開口部57が形成されている。この絶縁膜51dのエッチング条件は、フォトリソ膜の耐性を考慮する以外は上記絶縁膜51bのエッチング条件と同じである。しかし、この場合、開口部57の側面に順テーパが形成されてしまう問題がある。このように開口部57に順テーパが形成されていると、絶縁膜51dをエッチングマスクとして、そこから露出する層間絶縁膜50eをエッチング除去すると、層間絶縁膜50eに形成される開口部の側面にも破線で示すように順テーパが形成されてしまう。

【0040】この順テーパの発生要因として主に次のことが考えられる。フォトリソ膜56をエッチングマスクとして、そこから露出する絶縁膜51dをエッチング除去する場合、エッチング処理と同時に、例えば炭素やフッ素を成分とする生成物が発生する。この生成物

は、図5に示すように、CF系の堆積物55として開口部57の底部および側面に堆積していると考えられる。そのCF系の堆積物55が堆積された領域でエッチングが進行し、 $\text{SiF}_4$  およびCN等の反応生成物が生成される。 $\text{SiF}_4$  およびCNは、いずれも揮発性が高いが、CNは付着係数も高い。このため、CNの反応生成物が開口部57の側面に付着する。そのCNの反応生成物が付着した領域では、エッチングの進行が阻害される。すなわち、開口部57の底面ではエッチングが進行するのに対し、側面ではエッチングが阻害されるので、開口部57の側面に順テーパが形成されることが考えられる。

【0041】そこで、本発明においては、上記2つの課題を解決する手段として、窒素を含む絶縁膜のエッチング除去処理に際し、処理ガス中の希釈ガスを相対的に大流量とするものである。

【0042】図6は、本発明の第1の技術思想を用いた半導体装置の製造工程中の要部断面図であって、孔の底部の窒化シリコン膜のエッチング除去処理技術を説明する図である。層間絶縁膜1c~1fは、例えば酸化シリコン膜または有機SOG膜からなる。また、層間絶縁膜1c~1fの間に形成された絶縁膜2b~2dは、例えば窒化シリコン膜からなる。層間絶縁膜1dには、絶縁膜2bが底部から露出するような配線形成用の溝3aが形成されており、その内部には配線4が形成されている。そして、層間絶縁膜1e、1fおよび絶縁膜2c、2dには、底部から配線4の上面一部が露出されるような孔5および溝3bが形成されている。孔5は、例えば平面円形状に形成されており、溝3bの底部から配線4の上面に達するように形成されている。また、溝3bは、例えば平面長方形に形成されている。孔5および溝3bの具体的な形成方法は後述する。ここでは、孔5を完全に形成する前に、孔5の底部に残されている絶縁膜2cを、例えば $\text{CHF}_3/\text{O}_2/\text{Ar}$  ガスを用いた選択エッチング処理によって除去した。この場合に本発明の技術思想を適用すると、そのArガスの流量を相対的に大流量とするものである。具体的には、Arガスの流量を400sccm以上とする。または、Arガスの流量をCF系のガスの流量の20倍以上添加する。あるいは、Arガスの流量を90%以上としたものである。なお、Arガス流量の上限は、処理室内の圧力を所定値に確保する流量とされており、例えば800sccm程度である。

【0043】エッチングはイオンアシストエッチングとイオンスパッタエッチングにより行われている。イオンスパッタエッチングの割合を相対的に高めることにより、孔5内底部でのサイドエッチを抑制または防止できる。図7(a)は、本発明者の実験結果であって、その窒化シリコン膜のエッチング除去の際のArガス流量とサイドエッチ量との関係を示している。Arガス流量が

増えるほどサイドエッチ量も低減している。この実験例では、Arガス流量が、例えば400sccmになるとサイドエッチ量が0(零)になることが分かる。このように本発明の技術思想によれば、孔を形成する際に、孔の底部の窒化シリコン膜からなる絶縁膜にサイドエッチが生じるのを抑制または防止できるので、孔内に被着される導体膜の被着性を向上させることができる。このため、孔内に導体膜を良好に埋め込むことが可能となる。また、孔内に銅を埋め込む場合においてはその銅の拡散を抑制・防止するバリア導体膜の孔内での被着性を向上させることができるので、銅の拡散を抑制・防止する能力を確保または向上させることが可能となる。したがって、半導体装置の歩留まりおよび信頼性を向上させることが可能となる。なお、図7(b)、(c)に示すように、Arガス流量が増えるほどエッチレートおよび酸化シリコン膜に対する選択比も緩やかに下がることが分かる。

【0044】また、図8は、本発明の第2の技術思想を用いた半導体装置の製造工程中の要部断面図であって、窒化シリコン膜からなるエッチングマスクを形成する技術を説明する図である。また、図9は、比較のため、図8と同じ箇所を上記本発明者検討技術によって形成した場合を示している。ここでは、孔または溝形成用のフォトリソ膜7をエッチングマスクとして、そこから露出する絶縁膜2を、例えば $\text{CHF}_3/\text{O}_2/\text{Ar}$  ガスを用いた選択エッチング処理によって除去した。この場合に本発明の技術思想を適用すると、そのArガスの流量を相対的に大流量とするものである。ただし、この際は、場合によってフォトリソ膜7の耐性を考慮する必要がある。具体的には、上記と同様に、Arガスの流量を400sccm以上とする。または、Arガスの流量をCF系のガスの流量の20倍以上添加する。あるいは、Arガスの流量を90%以上としたものである。

【0045】これにより、相対的にCF系のガス流量を減らすことによりCF系の堆積物を減らすことができ、CN等のような反応生成物の側壁付着量を減らせる等の理由により、絶縁膜2に形成された開口部8のテーパ角を向上させることができた。例えば図8に示すように、層間絶縁膜1上の絶縁膜2に形成された開口部8の側面のテーパ角(層間絶縁膜1dの上面と開口部8の側面とのなす角度)を83°程度にでき、図9に示す開口部57のテーパ角(層間絶縁膜50eの上面と開口部57の側面とのなす角度)が76°程度であったのに対して、より異方性を向上させることができた。また、図10(a)は、本発明者の実験結果であって、その窒化シリコン膜のエッチング除去の際のArガス流量とテーパ角との関係を示している。Arガス流量が増えるほどテーパ角も増大していることが分かる。すなわち、Arガス流量が増えるほど開口部8の側面と半導体基板の上面とのなす角度が垂直に近づくことが分かる。このように

本発明の技術思想においては、開口部 8 の寸法精度を向上させることができ、その絶縁膜 2 をエッチングマスクとして、その下層の層間絶縁膜に形成される凹部の平面寸法精度を向上させることができる。このため、その凹部内での接続上の信頼性を向上させることができる。したがって、半導体装置の歩留まりおよび信頼性を向上させることが可能となる。なお、図 10 (b)、(c) に示すように、 $A_r$  ガス流量が増えるほどエッチレートおよび酸化シリコン膜に対する選択比も緩やかに下がるということが分かる。

【0046】上記の説明においては、希釈ガスが  $A_r$  の場合について説明したが、これに限定されるものではなく種々変更可能であり、例えばヘリウム ( $He$ )、クリプトン ( $Kr$ )、キセノン ( $Xe$ ) またはネオン ( $Ne$ ) を用いることもできる。また、 $CF$  系ガスが  $CHF_3$  の場合について説明したが、これに限定されるものではなく種々変更可能であり、例えば  $CF_4$ 、 $CHF_2F_2$ 、 $CH_3F$  または  $C_4F_8$  のうち少なくとも 1 種類を含むガスを用いることができる。

【0047】次に、上記窒素を含む絶縁膜のエッチング処理に用いた平行平板型狭電極  $RIE$  装置 (単に  $RIE$  装置ともいう) を図 11 に示す。この  $RIE$  装置 9 は、例えば 2 周波励起容量結合型のプラズマ源を持ち、エッチングチャンバ 9 a と、その内部に設置された下部電極 9 b と、これに電氣的に接続された第 1 の高周波電源 9 c と、エッチングチャンバ 9 a 内において下部電極 9 b に対向するように設置された上部電極 9 d と、これに電氣的に接続された第 2 の高周波電極 9 e と、エッチングチャンバ 9 a 内にガスを導入するガス導入系 9 f と、エッチングチャンバ 9 a 内の圧力を一定に保つための排気系とを有している。半導体ウエハ (半導体集積回路基板) 10 は、下部電極 9 b 上に配置されている。また、上記雰囲気ガスは、ガス導入系 9 f を通じて上部電極 9 d の下面側に供給され、さらにシャワープレート 9 g を介してエッチングチャンバ 9 a 内に均等に供給される構造となっている。これら相対する下部電極 9 b と上部電極 9 d との間にプラズマが形成される。ラジカル、原子、イオン等のような活性種は、下部電極 9 b および半導体ウエハ 10 の主面に対して垂直な電界に沿って入射し、その方向にリアクティブエッチングが進行するようになっている。ただし、エッチング装置としては、上記平行平板型狭電極  $RIE$  装置に限定されるものではなく種々変更可能であり、例えば  $ICP$  (Inductively Coupled Plasma) 型や  $ECR$  (Electron Cyclotron Resonance) 型のエッチング装置を用いることもできる。

【0048】図 12 は、 $ICP$  型のエッチング装置 11 を示している。エッチング装置 11 は、エッチングチャンバ 11 a と、その内部に設置された下部電極 11 b と、これに電氣的に接続された第 1 の高周波電源 11 c と、エッチングチャンバ 11 a の上部外周に設置された

$ICP$  コイル 11 d と、これに電氣的に接続された第 2 の高周波電源 11 e と、エッチングチャンバ 11 a 内にガスを導入するガス導入系 11 f と、エッチングチャンバ 11 a 内の圧力を一定に保つための排気系とを有している。半導体ウエハ (半導体集積回路基板) 10 は、下部電極 11 b 上に配置されている。エッチングガスは、エッチングチャンバ 11 a の上部からエッチングチャンバ 11 a 内に供給される。その状態で、第 2 の高周波電源 11 e から  $ICP$  コイル 11 d に高周波電力が印加されることにより、エッチングチャンバ 11 a 内にプラズマが形成される。また、第 1 の高周波電源 11 c は、イオンエネルギーを制御するためのバイアス高周波電力を下部電極 11 b に供給するための電源である。

【0049】また、図 13 は、例えば平板アンテナ型  $UHF-ECR$  型のエッチング装置 12 を示している。エッチング装置 12 は、エッチングチャンバ 12 a と、その内部に設置された下部電極 12 b と、これに電氣的に接続された第 1 の高周波電源 12 c と、エッチングチャンバ 12 a の上部に設置された平板状のアンテナ 12 d と、これに電氣的に接続された第 2 の高周波電源 12 e および  $UHF$  電源 12 f と、電磁石 12 g と、エッチングチャンバ 12 a 内にガスを導入するガス導入系と、エッチングチャンバ 12 a 内の圧力を一定に保つための排気系とを有している。このアンテナ 12 d から放射される、例えば 450 MHz の  $UHF$  波と電磁石 12 g とによって形成される磁場により  $ECR$  を発生させ、エッチングガスをプラズマ化する。アンテナ 12 d の表面には、ガス導入および活性種制御のため、例えばシリコン等からなるシャワープレート 12 h が設置されている。アンテナ 12 d には、例えば 13.56 MHz の高周波電力を別途印加することで、シャワープレート 12 h に入射するイオンエネルギーを制御できる。下部電極 12 b にも、例えば 800 kHz の高周波バイアスを印加することにより、半導体ウエハ 10 への入射エネルギーを制御できるようになっている。また、アンテナ 12 d と下部電極 12 b との間の距離は可変であり、プラズマ中のガスの解離を制御できるようになっている。なお、上記周波数は一例である。また、周波数の組み合わせも種々変更可能である。

【0050】次に、本発明の技術思想を用いて製造された半導体装置の一例を図 14 に示す。図 14 は、本発明の技術思想を、例えば  $CMIS$  (Complementary MIS) 回路を有する半導体集積回路装置に適用した場合における半導体基板 (半導体集積回路基板) 10 s の要部断面図を示している。この半導体基板 10 s は、上記半導体ウエハを切断して得られた平面四角形状の半導体チップを構成する基板であり、例えば  $p^-$  型のシリコン単結晶からなる。半導体基板 10 s の主面から所定の深さに渡っては、 $n$  ウエル 13 N および  $p$  ウエル 13 P が形成されている。 $n$  ウエル 13 N には、例えばリンまたはヒ素

が含有されている。また、pウエル13Pには、例えばホウ素が含有されている。また、半導体基板10sの主面側には、例えば溝型の分離部（トレンチアイソレーション）14が形成されている。この分離部14は、半導体基板10sの主面から厚さ方向に掘られた溝内に、例えば酸化シリコン膜からなる分離用の絶縁膜が埋め込まれて形成されている。

【0051】この分離部14に囲まれた活性領域には、pMISQpおよびnMISQnが形成されている。pMISQpおよびnMISQnのゲート絶縁膜15は、例えば酸化シリコン膜からなる。このゲート絶縁膜15に対して窒化処理を施すことにより、ゲート絶縁膜15と半導体基板10sとの界面に窒素を偏析させても良い。これにより、pMISQpおよびnMISQnにおけるホットキャリア効果を抑制できるので、微細なまま素子特性を向上させることができる。また、pMISQpおよびnMISQnのゲート電極16は、例えば低抵抗ポリシリコン上に、例えばコバルトシリサイドまたはタングステンシリサイド等のようなシリサイド膜を設けた、いわゆるポリサイド構造となっている。ただし、ゲート電極16は、例えば低抵抗ポリシリコンの単体膜で形成しても良いし、例えば低抵抗ポリシリコン膜上に窒化チタンや窒化タングステン等のようなバリア層を介してタングステン等のような金属膜を設けた、いわゆるポリメタル構造としても良い。ゲート長は、例えば0.14μm程度である。このゲート電極16の側面には、例えば酸化シリコン膜または窒化シリコン膜からなるサイドウォール17が形成されている。また、pMISQpのソース、ドレイン領域を構成する半導体領域18aには、例えばホウ素が含有されている。この半導体領域18aの上には、例えばコバルトシリサイドまたはタングステンシリサイド等のようなシリサイド層18bが形成されている。また、nMISQnのソース、ドレイン領域を構成する半導体領域19aには、例えばリンまたはヒ素が含有されている。この半導体領域19aの上には、例えばコバルトシリサイドまたはタングステンシリサイド等のようなシリサイド層19bが形成されてい

る。なお、ゲート電極13のシリサイド層および半導体領域18a、19a上のシリサイド層18b、19bは、同工程時に形成されている。

【0052】この半導体基板10sの主面上（分離部14の上面上を含む）には、層間絶縁膜1aが堆積されている。これにより、pMISQpおよびnMISQnは覆われている。この層間絶縁膜1aの上面上はCMP（Chemical Mechanical Polish）法等によって平坦化されている。層間絶縁膜1aの上面上には、第1層配線4L1が形成されている。第1層配線4L1は、例えばタングステンからなり、層間絶縁膜1aに穿孔された平面略円形状のコンタクトホール20内の導体膜21を通じて上記pMISQpまたはnMISQnの半導体領域18a、19aと電気的に接続されている。導体膜21は、コンタクトホール20の側面および底面に被着されたチタン、窒化チタンまたはこれらの積層膜等からなる第1の導体膜と、その第1の導体膜が被着されたコンタクトホール20の内部に埋め込まれたタングステン等からなる第2の導体膜とを有している。

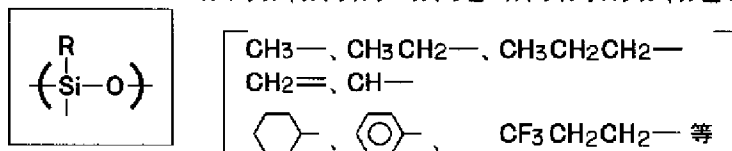
【0053】この層間絶縁膜1a上には、層間絶縁膜1bが堆積されている。この層間絶縁膜1bおよび第1層配線4L1上には絶縁膜2aが堆積されている。絶縁膜2aの上層には、層間絶縁膜1c～1k、1m、1nがその各々の間にそれぞれ絶縁膜2b～2kを介在させて堆積されている。

【0054】層間絶縁膜1a～1k、1m、1nは、例えば酸化シリコン膜、SiOF膜または有機SOG膜からなる。層間絶縁膜1a～1k、1m、1nを上記有機SOGとした場合には、その誘電率を、例えば2.7～2.8程度にできる。したがって、半導体集積回路装置の配線の総合的な誘電率を下げるので、半導体集積回路装置の動作速度を向上させることが可能な構造となっている。この層間絶縁膜1a～1k、1m、1nで用いられている有機SOG膜の基本的な化学構造の一例を次に示す。

【0055】

【化1】

R：アルキル、アルケニル、フェニル、フルオロアルキル基等



【0056】なお、この層間絶縁膜1a～1k、1m、1nは、配線層間あるいは配線と半導体基板との間に介在される絶縁膜であって、上記の他に、有機系層間絶縁膜、塗布型層間絶縁膜、有機系塗布型層間絶縁膜、有機シロキサン系層間絶縁膜等がある。層間絶縁膜の有機絶縁膜材料として、例えばSiLK（ダウケミカル社の商品名）、ブラックダイヤモンド（アプライドマテリアル

ズ社の商品名）、Block（アプライドマテリアルズ社の商品名）、BCB（ベンゾシクロブテン）、FLARE（アプライドシグナル社の商品名）等のような低誘電率絶縁材料を用いても良い。

【0057】また、絶縁膜2a～2kは、例えば窒化シリコン膜からなり、その誘電率は、例えば7程度である。この絶縁膜2a～2kのうち、絶縁膜2a、2b、



2 d、2 f、2 h、2 j は、主としてエッチングストップ機能を有し、絶縁膜 2 c、2 e、2 g、2 i、2 k は、主として銅の拡散抑制・防止機能を有している。

【0058】絶縁膜 2 a および層間絶縁膜 1 c には、スルーホール 5 a が形成されている。スルーホール 5 a は、例えば平面略円形状に形成されており、その底面から第 1 層配線 4 L 1 の一部が露出されている。スルーホール 5 a の内部にはプラグ（埋込配線）4 P L 1 が形成されている。プラグ 4 P L 1 は、スルーホール 5 a の内側面および底面に被着された窒化チタン等からなる導体膜と、その導体膜が被着されたスルーホール 5 a 内に埋め込まれた銅等からなる相対的に厚い導体膜からなり、第 1 層配線 4 L 1 と電気的に接続されている。

【0059】絶縁膜 2 b および層間絶縁膜 1 d には、溝 3 a およびスルーホール 5 b が形成されている。溝 3 a は、例えば平面長方形形状に形成されており、その内部には第 2 層配線（埋込配線）4 L 2 が形成されている。第 2 層配線 4 L 2 は、溝 3 a の内側面および底面に被着された窒化チタン等からなる導体膜と、その導体膜が被着された溝 3 a の内部に埋め込まれた銅等からなる相対的に厚い導体膜とからなり、プラグ 4 P L 1 と電気的に接続されている。また、スルーホール 5 b は、例えば平面略円形状に形成されており、その内部にはプラグ（埋込配線）4 P L 2 が形成されている。プラグ 4 P L 2 は、上記プラグ 4 P L 1 と同じ構造および材料構成となっており、プラグ 4 P L 1 と電気的に接続されている。

【0060】絶縁膜 2 c、2 d および層間絶縁膜 1 e、1 f には、溝 3 b およびスルーホール 5 c 1、5 c 2 が形成されている。溝 3 b は、例えば平面長方形形状に形成されており、その内部には第 3 層配線（埋込配線）4 L 3 が形成されている。ここでは、溝 3 b 内の第 3 層配線 4 L 3 がスルーホール 5 c 1 内の接続部（埋込配線）4 P L 3 を通じて第 2 層配線 4 L 2 と電気的に接続されている状態が例示されている。このスルーホール 5 c 1 は、例えば平面略円形状に形成されており、溝 3 b の底面から第 2 層配線 4 L 2 の上面に達する程度に延びている。したがって、溝 3 b 内の第 3 層配線 4 L 3 とスルーホール 5 c 1 内の接続部 4 P L 3 とは、一体的に形成されており、溝 3 b およびスルーホール 5 c 1 の内側面および底面に被着された窒化チタン等のような導体膜と、その導体膜の被着された溝 3 b およびスルーホール 5 c 1 の内に埋め込まれた銅等からなる相対的に厚い導体膜とを有している。スルーホール 5 c 2 は、例えば平面略円形状に形成されており、層間絶縁膜 1 f の上面からプラグ 4 P L 2 に達する程度に延びている。スルーホール 5 c 2 の内部にはプラグ（埋込配線）4 P L 4 が形成されている。このプラグ 4 P L 4 は、上記プラグ 4 P L 1 と同じ構造および材料構成となっており、プラグ 4 P L 2 と電気的に接続されている。

【0061】絶縁膜 2 e、2 f および層間絶縁膜 1 g、

1 h には、溝 3 c およびスルーホール 5 d が形成されている。溝 3 c は、例えば平面長方形形状に形成されており、その内部には第 4 層配線（埋込配線）4 L 4 が形成されている。第 4 層配線 4 L 4 の構造および構成材料は第 3 層配線 4 L 3 と同じである。スルーホール 5 d は、例えば平面略円形状に形成されており、層間絶縁膜 1 h の上面から第 3 層配線 4 L 3 やプラグ 4 P L 4 に達する程度に延びている。スルーホール 5 d の内部にはプラグ（埋込配線）4 P L 5 が形成されている。このプラグ部 4 P L 5、4 P L 5 は、上記プラグ 4 P L 4 と同じ構造および材料構成となっており、一方は第 3 層配線 4 L 3 と電気的に接続され、他方はプラグ 4 P L 4 と電気的に接続されている場合が例示されている。

【0062】絶縁膜 2 g、2 h および層間絶縁膜 1 i、1 j には、溝 3 d およびスルーホール 5 e、5 f が形成されている。溝 3 d は、例えば平面長方形形状に形成されており、その内部には第 5 層配線（埋込配線）4 L 5 が形成されている。ここでは、溝 3 d 内の第 5 層配線 4 L 5 がスルーホール 5 e 内の接続部（埋込配線）4 P L 7 を通じて第 4 層配線 4 L 4 と電気的に接続されている状態が例示されている。このスルーホール 5 e は、例えば平面略円形状に形成されており、溝 3 d の底面から第 4 層配線 4 L 4 の上面に達する程度に延びている。したがって、溝 3 d 内の第 5 層配線 4 L 5 とスルーホール 5 e 内の接続部 4 P L 7 とは、一体的に形成されている。この第 5 層配線 4 L 5 および接続部 4 P L 7 の構造および材料構成は、第 3 層配線 4 L 3 および接続部 4 P L 3 と同じである。スルーホール 5 f は、例えば平面略円形状に形成されており、層間絶縁膜 1 j の上面からプラグ 4 P L 5 に達する程度に延びている。スルーホール 5 f の内部にはプラグ（埋込配線）4 P L 8 が形成されている。このプラグ 4 P L 8 は、上記プラグ 4 P L 5 と同じ構造および材料構成となっており、プラグ 4 P L 5 と電気的に接続されている。

【0063】絶縁膜 2 i、2 j および層間絶縁膜 1 k、1 m には、溝 3 e およびスルーホール 5 g が形成されている。溝 3 e は、例えば平面長方形形状に形成されており、その内部には第 6 層配線（埋込配線）4 L 6 が形成されている。ここでは、溝 3 e 内の第 6 層配線 4 L 6 がスルーホール 5 g 内の接続部（埋込配線）4 P L 9 を通じて第 5 層配線 4 L 5 と電気的に接続されている状態が例示されている。このスルーホール 5 g は、例えば平面略円形状に形成されており、溝 3 e の底面から第 5 層配線 4 L 5 の上面に達する程度に延びている。したがって、溝 3 e 内の第 6 層配線 4 L 6 とスルーホール 5 g 内の接続部 4 P L 9 とは一体的に形成されており、その構造および材料構成は、上記第 3 層配線 4 L 3 と接続部 4 P L 3 と同じである。

【0064】絶縁膜 2 k および層間絶縁膜 1 n には、スルーホール 5 h が形成されている。スルーホール 5 h

は、例えば平面略円形状に形成されており、その底面から第6層配線4L6の一部が露出されている。スルーホール5hの内部にはプラグ(埋込配線)4PL10が形成されている。プラグ4PL10の構造および材料構成は、プラグ4PL1等と同じである。プラグ4PL10は、第6層配線4L6と電氣的に接続されている。この層間絶縁膜1n上には、第7層配線4L7が形成されている。第7層配線4L7は、例えば窒化チタン、アルミニウムおよび窒化チタンが下層から順に堆積されてなり、プラグ4PL10と電氣的に接続されている。

【0065】なお、第2層配線4PL2は、シングルダマシン法で形成され、第3層配線4L3～4L6は、デュアルダマシン法で形成され、第1層配線4L1および第7層配線4L7は、通常の配線形成方法(導体膜の堆積およびパターニング)で形成されている。また、第1層配線4L1～第5層配線4L5の厚さは、例えば400nm程度、配線幅および最小の配線間隔は、例えば0.25μm程度である。第6層配線4L6の厚さは、例えば1200nm程度、配線幅および最小の配線間隔は、例えば0.75μm程度である。第7層配線4L7の厚さは、例えば2000nm程度、配線幅および最小の配線間隔は、例えば1.5μm程度である。スルーホール5c1～5gの直径は、例えば0.25μm程度である。プラグ4PL10の直径は、例えば0.75μm程度である。

【0066】次に、本発明の技術思想を上記半導体集積回路装置の製造方法に適用した場合について図15～図36によって説明する。なお、図15～図36の各図において、(a)は図14の半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。また、以降の半導体集積回路装置の製造方法の説明においては、説明を簡単にするため図14の一部を抜き出して示している。

【0067】まず、本発明の技術思想をシングルダマシン法に適用した場合の一例を説明する。図15に示す上記層間絶縁膜1cは、上記絶縁膜2a上に堆積された有機絶縁膜1c1と、その上に堆積された絶縁膜1c2とを有している。絶縁膜2aの厚さは、例えば50nm程度である。有機絶縁膜1c1は、例えば有機SOG膜によって形成され、その厚さは、例えば250nm程度である。絶縁膜1c2は、例えばTEOS(Tetraethoxysilane)ガスを用いたプラズマCVD法によって形成された酸化シリコン膜等からなり、その厚さは、例えば100nm程度である。この絶縁膜1c2は、有機絶縁膜1c1の機械的強度を確保するためのものなので、有機絶縁膜1c1が機械的な強度を有している場合には設けなくても良い。有機絶縁膜1c1に代えて、例えばSiOF膜やTEOSガスを用いたプラズマCVD法によって形成された酸化シリコン膜を用いても良い。この場合も絶縁膜1c2を設けなくて良い。

【0068】このような層間絶縁膜1c上に、図16に示すように、例えば厚さ120nm程度の反射防止膜22aを塗布する。続いて、その反射防止膜22a上に、フォトリソ膜(マスキング層)7aを形成する。このフォトリソ膜7aは、スルーホール形成用のマスクパターンであって、スルーホール形成領域が露出され、かつ、それ以外の領域が覆われるようにパターニングされている。その後、このフォトリソ膜7aをエッチングマスクとして、そこから露出する反射防止膜22a、層間絶縁膜1cをプラズマドライエッチング処理によって順に除去する。これにより、図17に示すように、スルーホール5aを形成する。このスルーホール5aの底面に窒化シリコン膜等からなる絶縁膜2aが残されている。スルーホール5aの直径は、例えば0.25μm程度である。

【0069】上記反射防止膜22aのエッチング条件は次の通りである。すなわち、処理ガスは、例えば $\text{CHF}_3$  /  $\text{CF}_4$  /  $\text{Ar}$ を用い、その流量比は、例えば10 / 90 / 950 sccm程度である。処理室内の圧力は、例えば750mTorr程度、高周波電力は、例えば900W程度、下部電極温度は、例えば10℃程度である。エッチング装置としては、例えば平行平板型のRIE装置を用いた。

【0070】また、上記層間絶縁膜1cのエッチング条件は次の通りである。すなわち、処理ガスは、例えば $\text{C}_4\text{F}_8$  /  $\text{N}_2$  /  $\text{Ar}$ を用い、その流量比は、例えば12 / 200 / 300 sccm程度である。処理室内の圧力は、例えば20mTorr程度、高周波電力は、例えば1000 / 600W程度、下部電極温度は、例えば20℃程度である。エッチング装置としては、例えば平行平板型のRIE装置を用いた。層間絶縁膜を有機絶縁膜として、処理ガスとして、例えば $\text{C}_4\text{F}_8$  /  $\text{N}_2$  /  $\text{Ar}$ というように $\text{N}_2$ を用いることにより、孔や溝等のような凹部の底面にその底面から半導体基板の主面側に延びる溝(サブトレチ)が形成されてしまうのを抑制または防止できる。

【0071】次いで、フォトリソ膜7aおよび反射防止膜22aをアッシング処理によって図18に示すように除去した後、スルーホール5aの底面から露出する絶縁膜2aをプラズマドライエッチング処理によって図19に示すように除去する。このエッチング処理では、上記本発明の第1の技術思想を用いて窒化シリコン膜を選択的にエッチング除去する。これにより、スルーホール5aの底面から第1層配線4L1の上面が露出される。この際のエッチング条件は、次の通りである。すなわち、処理ガスは、例えば $\text{CHF}_3$  /  $\text{O}_2$  /  $\text{Ar}$ を用い、その流量比は、例えば20 / 20 / 400 sccm程度である。処理室内の圧力は、例えば50mTorr程度、高周波電力は、例えば1000 / 200W程度、下部電極温度は、例えば0℃程度である。エッチング装

置としては、例えば平行平板型のR I E装置を用いた。これにより、スルーホール5 aの底部の絶縁膜2 aがスルーホール5 aの直径方向に削られる(サイドエッチ)のを抑制または防止できた。

【0072】次いで、例えば窒化チタン(T i N)、タンタル(T a)または窒化タンタル(T a N)等からなるバリア導体膜を、層間絶縁膜1 c上およびスルーホール5 a内にスパッタリング法によって堆積する。このバリア導体膜は、銅原子の拡散を抑制する機能や配線と層間絶縁膜との密着性を向上させる機能を有している。続いて、そのバリア導体膜上に、例えば銅からなる薄いシード(Seed)導体膜をスパッタリング法によって堆積した後、そのシード導体膜上に、例えば銅からなる主導体膜をメッキ法によって堆積する。その後、その主導体膜、シード導体膜およびバリア導体膜の不要な部分をCMP法等によって研磨して除去することにより、図20に示すように、スルーホール5 a内にプラグ4 P L 1を形成する。

【0073】次いで、図21に示すように、層間絶縁膜1 cおよびプラグ4 P L 1の上面に、上記絶縁膜2 bをプラズマCVD法等によって堆積した後、その上に、層間絶縁膜1 dを堆積する。層間絶縁膜1 dは、有機絶縁膜1 d 1とその上に堆積された絶縁膜1 d 2とからなる。有機絶縁膜1 d 1および絶縁膜1 d 2の構造(形成方法、材料、厚さおよび機能等)は、それぞれ上記有機絶縁膜1 c 1および絶縁膜1 c 2の構造(形成方法、材料、厚さおよび機能等)と同じである。

【0074】続いて、層間絶縁膜1 d上に、図22に示すように、例えば上記反射防止膜2 2 aを塗布する。その後、その反射防止膜2 2 a上に、フォトレジスト膜7 bを形成する。このフォトレジスト膜(マスキング層)7 bは、配線溝形成用のマスクパターンであって、配線形成領域が露出され、かつ、それ以外の領域が覆われるようにパターンニングされている。その後、このフォトレジスト膜7 bをエッチングマスクとして、そこから露出する反射防止膜2 2 aおよび層間絶縁膜1 dをプラズマドライエッチング処理によって順に除去することにより、図23に示すように、溝3 aを形成する。溝3 aの底面には窒化シリコン膜からなる絶縁膜2 bが残されている。上記反射防止膜2 2 aのエッチング条件は、上記したのと同じである。また、上記層間絶縁膜1 dのエッチング処理においては、上記層間絶縁膜1 cのエッチング条件と同じである。

【0075】次いで、フォトレジスト膜7 bおよび反射防止膜2 2 aをアッシング処理によって図24に示すように除去した後、溝3 aの底面から露出する絶縁膜2 bをプラズマドライエッチング処理によって図25に示すように除去する。これにより、溝3 aの底面からプラグ4 P L 1の上面が露出される。この際のエッチング条件は、例えば上記絶縁膜2 aのエッチング条件と同じであ

る。続いて、例えば窒化チタン(T i N)からなるバリア導体膜を、層間絶縁膜1 d上および溝4 a 1内にスパッタリング法によって堆積する。このバリア導体膜は、銅原子の拡散を抑制する機能および層間絶縁膜と配線との密着性を向上させる機能を有している。続いて、そのバリア導体膜上に、例えば銅からなる薄いシード(Seed)導体膜をスパッタリング法によって堆積した後、そのシード導体膜上に、例えば銅からなる主導体膜をメッキ法によって堆積する。その後、その主導体膜、シード導体膜およびバリア導体膜の不要な部分をCMP法等によって研磨して除去することにより、図26に示すように、溝3 a内に第2層配線4 L 2を形成する。

【0076】次に、本発明の技術思想をデュアルダマシン法に適用した場合の一例を説明する。なお、デュアルダマシン法の説明においては、図14の第2、第3層配線部分を一例として抜き出してその形成方法を説明するが、第4～第6層配線を形成する場合も同様の形成方法で対応できる。層間絶縁膜1 g～1 k、1 m、1 nの構造も層間絶縁膜1 c、1 d、1 e、1 fで代表されるものとする。

【0077】図27に示す上記絶縁膜2 cは、銅の拡散を抑制または防止する機能を有しており、その厚さは、例えば50 nm程度である。その絶縁膜2 c上には、層間絶縁膜1 eが形成されている。この層間絶縁膜1 eは、例えば上記有機絶縁膜1 c 1と同じ材料および形成方法で形成されてなり、その厚さは、例えば400 nm程度である。層間絶縁膜1 e上には、上記絶縁膜2 dが堆積されている。絶縁膜2 dは主としてエッチングストップとして機能し、その厚さは、例えば100 nm程度である。

【0078】このような層間絶縁膜1 e上に、図28に示すように、上記反射防止膜2 2 aを塗布した後、その上に、フォトレジスト膜(マスキング層)7 cを形成する。このフォトレジスト膜7 cは、スルーホール形成用のマスクパターンであって、スルーホール形成領域が露出され、かつ、それ以外の領域が覆われるようにパターンニングされている。その後、このフォトレジスト膜7 cをエッチングマスクとして、そこから露出する反射防止膜2 2 a、絶縁膜2 dをプラズマドライエッチング処理によって順に除去することにより、図29に示すように、絶縁膜2 dに開口部8 aを形成する。この開口部8 aは、例えば平面円形状に形成されており、その底面からは層間絶縁膜1 eが露出されている。この残された絶縁膜2 dは後述するようにエッチングマスクとして機能する。この場合の反射防止膜2 2 aのエッチング条件は、上記と同じである。また、絶縁膜2 dのエッチング条件は、例えば次の通りである。すなわち、処理室内の圧力は、例えば50 mT o r r程度、高周波電力は、例えば1000 W(上部電極)/200 W(下部電極)程度、電極温度(上部/側壁/下部)は、例えば30/4

0/0℃程度である。エッチング装置としては、例えば平行平板型のRIE装置を用いた。処理ガスは、例えば $\text{CHF}_3$  /  $\text{O}_2$  /  $\text{Ar}$ を用い、 $\text{CHF}_3$  ガス流量を、例えば20 sccm、 $\text{O}_2$  ガス流量を、例えば20 sccmとし、 $\text{Ar}$  ガスを、例えば0～600 sccmと変化させた。この場合、絶縁膜2dの厚さが、例えば0.1  $\mu\text{m}$ 程度、開口部14の直径が、例えば0.3  $\mu\text{m}$ 程度の場合、 $\text{Ar}$  ガスを0, 200, 600 sccmと増加させるにつれて開口部8aの側面のテーパ角は、それぞれ76°、79°、83°となり、 $\text{Ar}$  ガスの流量を増加させた方が異方性が向上し、開口部8aの側面の形状を良好にさせることができた。

【0079】次いで、フォトリソ膜7cおよび反射防止膜22aをアッシング処理によって図30に示すように除去した後、図31に示すように、絶縁膜2dおよび開口部8aから露出する層間絶縁膜1e上に、有機絶縁膜1f1および絶縁膜1f2を下層から順に堆積して層間絶縁膜1fを形成する。有機絶縁膜1f1および絶縁膜1f2の構造（形成方法、材料、厚さおよび機能等）は、それぞれ上記有機絶縁膜1c1および絶縁膜1c2の構造（形成方法、材料、厚さおよび機能等）と同じである。

【0080】続いて、層間絶縁膜1f上に、図32に示すように、反射防止膜22aを塗布した後、その上に、フォトリソ膜（マスキング層）7dを形成する。このフォトリソ膜7dは、配線溝形成用のマスクパターンであって、配線形成領域が露出され、かつ、それ以外の領域が覆われるようにパターンニングされている。その後、このフォトリソ膜7dをエッチングマスクとして、そこから露出する反射防止膜22aおよび層間絶縁膜1f、1eをプラズマドライエッチング処理によって順に除去する。これにより、図33に示すように、層間絶縁膜1fに溝3bを形成し、かつ、層間絶縁膜1eにスルーホール5c1を形成する。すなわち、1回のエッチング工程で溝3bおよびスルーホール5c1の両方を形成することができる。この溝3bおよびスルーホール5c1の底面には、それぞれ窒化シリコン膜からなる絶縁膜2d、2cが残されている。上記反射防止膜22aのエッチング条件は、上記と同じである。また、層間絶縁膜1f、1eのエッチング処理では、絶縁膜2c、2dをエッチングストップとして機能させる。そのエッチング条件は、上記層間絶縁膜1cのエッチング条件と同じである。

【0081】次いで、フォトリソ膜7dおよび反射防止膜22aをアッシング処理によって図34に示すように除去した後、溝3bおよびスルーホール5c1の底面から露出する絶縁膜2d、2cをプラズマドライエッチング処理によって図35に示すように除去する。このエッチング処理では、窒化シリコン膜を選択的にエッチング除去する。これにより、溝3bの底面から層間絶縁

膜1eの上面が露出され、スルーホール5c1の底面から第2層配線4L2および接続部4PL2の上面が露出される。この際のエッチング条件は、上記絶縁膜2aのエッチング条件と同じである。

【0082】続いて、例えば銅の拡散抑制機能および絶縁膜との密着性向上機能を有する窒化チタン（TiN）、タンタル（Ta）または窒化タンタル（Ta<sub>2</sub>N<sub>5</sub>）等からなるバリア導体膜を、層間絶縁膜1f上、溝3bおよびスルーホール5c1内にスパッタリング法によって堆積した後、そのバリア導体膜上に、例えば銅からなる薄いシード（Seed）導体膜をスパッタリング法によって堆積し、さらに、その上に、例えば銅からなる主導体膜をメッキ法によって堆積する。その後、その主導体膜、シード導体膜およびバリア導体膜の不要な部分をCMP法等によって研磨して除去することにより、図36に示すように、溝3b内に第3層配線4L3を形成し、同時に、スルーホール5c1内に、その第3層配線4L3と一体的に構成される接続部4PL3を形成する。この第3層配線4L3は、スルーホール5c1内の接続部4PL3を通じて第2層配線4L2および接続部4PL2と電気的に接続されている。すなわち、第3層配線4L3は、第2層配線4L2と接続部4PL2とを電気的に接続している。図14に示した半導体集積回路装置においては、上述の配線形成方法を第6層配線4L6まで繰り返すことにより、その配線層を形成する。なお、第7層配線4L7は、層間絶縁膜1n上に配線形成用の導体膜を堆積した後、その導体膜を通常の写真リソグラフィ技術およびドライエッチング技術によってパターンニングすることで形成する。

【0083】（実施の形態2）本実施の形態2は、前記実施の形態1の変形例を説明するものであって、本発明の技術思想を前記実施の形態1で説明したデュアルダマシンプラズマ法とは別のデュアルダマシンプラズマ法に適用した場合について説明するものである。本実施の形態2の半導体集積回路装置の製造方法を図37～図42により説明する。なお、図37～図42の各図において、（a）は図14の半導体集積回路装置の製造工程中における要部平面図、（b）は（a）のA-A線の断面図である。

【0084】まず、図27に示した絶縁膜2d上に、図37に示すように、層間絶縁膜1fを形成する。本実施の形態2においては、絶縁膜2dの材料としては前記実施の形態1と同様に窒化シリコン膜を用いているが、これに代えて、例えばTEOSガスを用いたプラズマCVD法で形成された厚さ100nm程度の酸化シリコン膜としても良い。この層間絶縁膜1fは、上記したように有機絶縁膜1f1上に、絶縁膜1f2が堆積されてなる。

【0085】続いて、図38に示すように、層間絶縁膜1f上に、上記反射防止膜22aを塗布し、その上に、上記フォトリソ膜（マスキング層）7cを形成した

後、このフォトリソレジスト膜7cをエッチングマスクとして、そこから露出する反射防止膜22a、層間絶縁膜1fをプラズマドライエッチング処理によって順に除去する。これにより、図39に示すように、層間絶縁膜1f、絶縁膜2d、層間絶縁膜1eにスルーホール5c1を形成する。このスルーホール5c1の底面からは絶縁膜2cが露出されている。スルーホール5c1の直径は、例えば0.25μm程度である。この反射防止膜22aのエッチング条件は、上記と同じである。また、層間絶縁膜1f、絶縁膜2dおよび層間絶縁膜1eのエッチング処理は、例えば3段階に分けてエッチング処理を行う。すなわち、第1のエッチング処理では、酸化シリコン膜の方が窒化シリコン膜よりもエッチング除去され易い条件でエッチング処理することで絶縁膜2dをエッチングストップとして層間絶縁膜1fをエッチング除去する。続いて、第2のエッチング処理では、窒化シリコン膜の方が酸化シリコン膜よりもエッチング除去され易い条件でエッチング処理することで絶縁膜2dをエッチング除去する。その後、第3のエッチング処理では、上記第1のエッチング処理と同様の条件で絶縁膜2cをエッチングストップとして層間絶縁膜1eをエッチング除去する。窒化シリコン膜等からなる絶縁膜2dのエッチング条件は、上記絶縁膜2aのエッチング条件と同じである。

【0086】次いで、フォトリソレジスト膜7cおよび反射防止膜22aをアッシング処理によって図40に示すように除去した後、図41に示すように、層間絶縁膜1f上およびスルーホール5c1内に反射防止膜22bを塗布する。反射防止膜22bの厚さは、スルーホール5c1を埋め込むことから上記反射防止膜22aよりも厚く、例えば240nm程度である。続いて、その反射防止膜22b上に、上記フォトリソレジスト膜7dを形成した後、このフォトリソレジスト膜7dをエッチングマスクとして、そこから露出する反射防止膜22bおよび層間絶縁膜1fをプラズマドライエッチング処理によって順に除去する。これにより、図42に示すように、層間絶縁膜1fに溝3bを形成する。なお、このエッチング処理後においては、スルーホール5c1の底部に反射防止膜22bが残されている。また、溝3bの底面には、窒化シリコン膜からなる絶縁膜2dが残されている。

【0087】上記反射防止膜22bのエッチング条件は、次の通りである。すなわち、処理ガスは、例えば $N_2/O_2$ を用い、その流量比は、例えば35/50sccm程度である。処理室内の圧力は、例えば10mTorr程度、高周波電力は、例えば500/140W程度、下部電極温度は、例えば-20℃程度である。エッチング装置としては、例えば平行平板型のRIE装置を用いた。また、層間絶縁膜1fのエッチング処理は、絶縁膜2dをエッチングストップとして機能させる。そのエッチング条件は、上記層間絶縁膜1cのエッチング条

件と同じである。

【0088】次いで、フォトリソレジスト膜7dおよび反射防止膜22bをアッシング処理によって除去し、前記実施の形態1で用いた図34と同じ構造を得る。これ以降の製造工程は、前記実施の形態1の図35および図36で説明した工程と同じなので説明を省略する。

【0089】このような本実施の形態2においては、前記実施の形態1で得られた効果と同様の効果を得ることが可能となる。特に、アスペクト比の高いスルーホール5c1を、その断面形状に不具合を生じさせることなく、窒化シリコン膜に対する高いエッチング選択比を確保したままの状態で形成することができる。

【0090】（実施の形態3）本実施の形態3は、前記実施の形態1、2の変形例を説明するものであって、本発明の技術思想を前記実施の形態1、2で説明したデュアルダマシン法とは別のデュアルダマシン法に適用した場合について説明するものである。本実施の形態3の半導体集積回路装置の製造方法を図43～図50により説明する。なお、図43～図50の各図において、(a)は図14の半導体集積回路装置の製造工程中における要部平面図、(b)は(a)のA-A線の断面図である。

【0091】まず、図37に示した層間絶縁膜1f上に、図43に示すように、例えば窒化シリコン膜からなる絶縁膜23を形成する。この絶縁膜23は、溝や孔形成時のエッチングマスク用の部材であり、その厚さは、例えば150nm程度である。ただし、絶縁膜23は、窒化シリコン膜に限定されるものではなく種々変更可能であり、例えば窒化チタン、タンタル、窒化タンタル、ポリシリコンまたはこれらの膜のうち、少なくとも1種類を含む膜を用いても良い。

【0092】続いて、図44に示すように、絶縁膜23上に、反射防止膜22cを塗布する。その後、その反射防止膜22c上に、上記フォトリソレジスト膜（マスキング層）7dを形成した後、このフォトリソレジスト膜7dをエッチングマスクとして、そこから露出する反射防止膜22cおよび絶縁膜23をプラズマドライエッチング処理によって順に除去する。これにより、図45に示すように、絶縁膜23に層間絶縁膜1fの上面が露出されるような開口部8bを形成する。上記反射防止膜22cのエッチング条件は、上記反射防止膜22aのエッチング条件と同じである。また、絶縁膜23のエッチング処理では前記本発明の第2の技術思想を用いており、その条件は、前記実施の形態1で説明した絶縁膜2dのエッチング条件と同じである。

【0093】次いで、フォトリソレジスト膜7dをアッシング処理によって図46に示すように除去した後、図47に示すように、絶縁膜23上および開口部8b内に、上記反射防止膜22aを塗布する。続いて、その反射防止膜22a上に、上記フォトリソレジスト膜7cを形成した後、このフォトリソレジスト膜7cをエッチングマスクとし

て、そこから露出する反射防止膜22a、層間絶縁膜1f、絶縁膜2dおよび層間絶縁膜1eをプラズマドライエッチング処理によって順に除去する。これにより、図48に示すように、層間絶縁膜1f、絶縁膜2dおよび層間絶縁膜1eにスルーホール5c1を形成する。この段階のスルーホール5c1の底面には層間絶縁膜1eが残されている。

【0094】上記反射防止膜22aのエッチング条件は、上記と同じである。また、層間絶縁膜1f、絶縁膜2dおよび層間絶縁膜1eのエッチング条件は、次の通りである。すなわち、処理ガスは、例えば $\text{CHF}_3/\text{O}_2/\text{Ar}$ を用い、その流量比は、例えば50/10/500sccm程度である。処理室内の圧力は、例えば50mTorr程度、高周波電力は、例えば2200/1400W程度、下部電極温度は、例えば-20℃程度である。エッチング装置としては、例えば平行平板型のRIE装置を用いた。

【0095】次いで、フォトリソ膜7cおよび反射防止膜22aをアッシング処理によって図49に示すように除去した後、残された絶縁膜23をエッチングマスクとし、かつ、絶縁膜2c、2dをエッチングストップとして、開口部8bおよびスルーホール5c1の底面から露出する層間絶縁膜1eをプラズマドライエッチング処理によって図50に示すように除去する。これにより、溝3bおよびスルーホール5c1を形成する。この溝3bの底面からは、絶縁膜2dの上面が露出され、スルーホール5c1の底面からは、絶縁膜2cの上面が露出される。この際のエッチング条件は、上記層間絶縁膜1cのエッチング条件と同じである。

【0096】その後、絶縁膜2c、2d、23をプラズマドライエッチング処理によって除去する。このエッチング処理に際しては、窒化シリコン膜を選択的に除去する。このエッチング条件は、上記絶縁膜2aのエッチング条件と同じである。このようにして、前記実施の形態1で用いた図34と同じ構造を得る。これ以降の製造工程は、前記実施の形態1の図35および図36で説明した工程と同じなので説明を省略する。

【0097】このような本実施の形態3においては、前記実施の形態1、2で得られた効果と同様の効果を得ることが可能となる。

【0098】（実施の形態4）本実施の形態4は、前記実施の形態2の変形例を説明するものであって、層間絶縁膜の中間層に、エッチングストップとして機能する絶縁膜を設けずに埋込配線を形成するデュアルダマシン法に本発明の技術思想を適用した場合について説明するものである。

【0099】以下、本実施の形態4の半導体集積回路装置の製造方法を図51～図59により説明する。なお、図51～図59の各図において、(a)は半導体集積回路装置の製造工程における要部平面図、(b)は

(a)のA-A線の断面図である。

【0100】図51に示すように、上記絶縁膜2c上には、層間絶縁膜1pが堆積されている。層間絶縁膜1pは、有機絶縁膜1p1および絶縁膜1p2が下層から順に堆積されてなる。有機絶縁膜1p1は、上記有機絶縁膜1c1等と同じ材料および形成方法からなるが、その厚さが、上述したものよりも厚く、例えば500～1000nm程度である。また、絶縁膜1p2は、上記絶縁膜1c2等と同じ材料、同じ厚さ、形成方法および機能を有している。

【0101】まず、図51に示した層間絶縁膜1p上に、図52に示すように、上記反射防止膜22aを塗布した後、その上に上記フォトリソ膜（マスキング層）7cを形成する。続いて、このフォトリソ膜7cをエッチングマスクとして、そこから露出する反射防止膜22a、層間絶縁膜1pをプラズマドライエッチング処理によって除去する。これにより、図53に示すように、層間絶縁膜1pにスルーホール5c1を形成する。この段階のスルーホール5c1の底面からは絶縁膜2cが露出されている。この反射防止膜22aのエッチング条件は、上記と同じである。また、層間絶縁膜1pのエッチング処理は、絶縁膜2cをエッチングストップとして行っており、そのエッチング条件は、上記層間絶縁膜1cのエッチング条件と同じである。

【0102】次いで、フォトリソ膜7cをアッシング処理によって図54に示すように除去した後、図55に示すように、層間絶縁膜1p上およびスルーホール5c1内に反射防止膜22bを塗布する。続いて、その上に、上記フォトリソ膜7dを形成した後、このフォトリソ膜7dをエッチングマスクとして、そこから露出する反射防止膜22bおよび層間絶縁膜1pをプラズマドライエッチング処理によって除去する。これにより、図56に示すように、層間絶縁膜1pに溝3bを形成する。

【0103】上記反射防止膜22bのエッチング条件は、次の通りである。すなわち、処理ガスは、例えば $\text{N}_2/\text{O}_2$ を用い、その流量比は、例えば35/50sccm程度である。処理室内の圧力は、例えば10mTorr程度、高周波電力は、例えば500/1400W程度、下部電極温度は、例えば-20℃程度である。エッチング装置としては、例えば平行平板型のRIE装置を用いた。このエッチング処理後においては、溝3bおよびスルーホール5c1内に反射防止膜22bが残されている。

【0104】また、層間絶縁膜1pのエッチング条件は、上記層間絶縁膜1cのエッチング条件と同じである。ただし、本実施の形態4においては、層間絶縁膜1pの厚さ方向の途中位置に窒化シリコン等からなるエッチングストップ層を設けてないので、この層間絶縁膜1pのエッチング処理に際しては、そのエッチング終点を

エッチング時間によって決めている。すなわち、溝3bの深さをエッチング時間によって決めている。また、エッチング深さは、エッチング深さモニタにより制御してもよい。

【0105】次いで、フォトリソ膜7dおよび反射防止膜22bをアッシング処理によって図57に示すように除去する。続いて、スルーホール5c1の底部の絶縁膜2cを図58に示すように前記実施の形態1〜3で説明したように本発明の第1の技術思想を用いて選択的にエッチング除去することにより、スルーホール5c1の底面から第2層配線4L2の一部を露出させる。その後、前記実施の形態1〜3と同様にスルーホール5c1および溝3b内に導体膜を埋め込むことにより、図59に示すように第3層配線4L3を形成する。

【0106】本実施の形態4においては、前記実施の形態1〜3で得られた効果の他に、以下の効果を得ることが可能となる。すなわち、層間絶縁膜1pの中間層に窒化シリコン膜からなる絶縁膜（前記絶縁膜2d等）を設けないことにより、半導体集積回路装置の配線の総合的な誘電率を下げるができるので、半導体集積回路装置の動作速度をさらに向上させることが可能となる。

【0107】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0108】例えば例えば前記実施の形態1〜4においては、配線、プラグおよび接続部を構成する主導体膜をメッキ法で形成する場合について説明したが、これに限定されるものではなく種々変更可能であり、例えばCVD法またはスパッタリング法を用いても良い。この場合はバリア導体膜上にシード導体膜を設ける必要がない。また、その主導体膜の材料は、銅に限定されるものではなく種々変更可能であり、例えばアルミニウム、金または銀を用いても良い。この場合は、主導体膜の原子が拡散するのを抑制するための窒化シリコン等からなる絶縁膜を設けなくても良い。

【0109】また、前記実施の形態1〜4においては、層間絶縁膜のエッチング処理に際して、クロロカーボンガス／窒素ガス／不活性ガスを用いた場合について説明したが、これに限定されるものではなく、例えばその窒素ガスに代えて酸素ガスを用いることもできる。この場合、層間絶縁膜としては酸化シリコン膜を用いることが好ましい。

【0110】また、前記実施の形態1〜4においては、半導体集積回路基板として半導体単体からなる半導体基板を用いた場合について説明したが、これに限定されるものではなく、例えば絶縁層上に薄い半導体層を設けたるSOI（Silicon On Insulator）基板、半導体基板上にエピタキシャル層を設けたるエピタキシャル基板を用いても良い。

【0111】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるCMI S回路を有する半導体装置に適用した場合について説明したが、それに限定されるものではなく種々適用可能であり、例えばDRAM（Dynamic Random Access Memory）、SRAM（Static Random Access Memory）またはフラッシュメモリ（EEPROM；Electric Erasable Read Only Electric Erasable Read Only Memory）等のようなメモリ回路を有する半導体装置、マイクロプロセッサ等のような論理回路を有する半導体装置あるいは上記メモリ回路と論理回路とを同一半導体基板上に設けている混載型の半導体装置にも適用できる。

#### 【0112】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0113】(1). 本発明によれば、クロロカーボン系の相対的なガス流量を減らすことによりクロロカーボン系の堆積物量を減らすことができ、CN等のような反応生成物の側壁付着量を減らせる等の理由により、窒素を含む絶縁膜に形成された開口部のテーパ角を向上させることが可能となる。

【0114】(2). 本発明によれば、窒素を含む絶縁膜のエッチング処理に際して、イオンスパッタエッチングの割合をイオンアシストエッチングよりも相対的に大きくすることができる等の理由により、凹部底でのサイドエッチを抑制または防止することが可能となる。

【0115】(3). 上記(1)または(2)により、半導体装置の歩留まりを向上させることが可能となる。

【0116】(4). 上記(1)または(2)により、半導体装置の信頼性を向上させることが可能となる。

#### 【図面の簡単な説明】

【図1】本発明者の検討技術の課題を説明するための説明図であって、デュアルダマシン法によって埋込配線を形成する工程中の半導体基板の要部断面図である。

【図2】(a)および(b)は図1の課題の発生原因を説明するための説明図であって、デュアルダマシン法によって埋込配線を形成する工程中の半導体基板の要部断面図である。

【図3】凹部のアスペクト比とサイドエッチとの関係を示すグラフ図である。

【図4】本発明者の検討技術の課題を説明するための説明図であって、窒素を含む絶縁膜のパターニング工程における半導体基板の要部断面図である。

【図5】図4の技術の課題の発生原因を説明するための説明図であって、窒素を含む絶縁膜のパターニング工程における半導体基板の要部断面図である。

【図6】本発明の技術思想を説明するための説明図であって、配線形成工程における半導体装置の要部断面図である。

【図 7】(a) は図 6 で説明した技術を用いた場合におけるアルゴンの流量とサイドエッチとの関係を示すグラフ図、(b) は図 6 で説明した技術を用いた場合におけるアルゴンの流量とエッチレートとの関係を示すグラフ図、(c) は図 6 で説明した技術を用いた場合におけるアルゴンの流量と酸化シリコン膜の選択比との関係を示すグラフ図である。

【図 8】本発明の技術思想を説明するための説明図であって、窒素を含む絶縁膜のパターニング工程中における半導体装置の要部断面図である。

【図 9】本発明者の検討技術の課題を説明するための説明図であって、窒素を含む絶縁膜のパターニング工程中における半導体基板の要部断面図である。

【図 10】(a) は図 8 で説明した技術を用いた場合におけるアルゴンの流量とテーパ角との関係を示すグラフ図、(b) は図 8 で説明した技術を用いた場合におけるアルゴンの流量とエッチレートとの関係を示すグラフ図、(c) は図 8 で説明した技術を用いた場合におけるアルゴンの流量と酸化シリコン膜の選択比との関係を示すグラフ図である。

【図 11】平行平板型の R I E 装置の説明図である。

【図 12】エッチング装置の説明図である。

【図 13】エッチング装置の説明図である。

【図 14】本発明の一実施の形態である半導体集積回路装置の半導体集積回路基板の要部断面図である。

【図 15】図 14 の半導体集積回路装置の製造工程中における要部断面図である。

【図 16】図 15 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 17】図 16 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 18】図 17 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 19】図 18 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 20】図 19 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 21】図 20 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 22】図 21 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 23】図 22 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 24】図 23 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 25】図 24 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 26】図 25 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 27】図 14 の半導体集積回路装置の製造工程中に

おける要部断面図である。

【図 28】図 27 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 29】図 28 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 30】図 29 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 31】図 30 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 32】図 31 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 33】図 32 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 34】図 33 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 35】図 34 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 36】図 35 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 37】本発明の他の実施の形態であって、図 14 の半導体集積回路装置の製造工程中における要部断面図である。

【図 38】図 37 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 39】図 38 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 40】図 39 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 41】図 40 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 42】図 41 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 43】本発明の他の実施の形態であって、図 14 の半導体集積回路装置の製造工程中における要部断面図である。

【図 44】図 43 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 45】図 44 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 46】図 45 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 47】図 46 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 48】図 47 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 49】図 48 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 50】図 49 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 51】本発明の他の実施の形態であって、図 14 の



半導体集積回路装置の製造工程中における要部断面図である。

【図52】図51に続く半導体集積回路装置の製造工程中における要部断面図である。

【図53】図52に続く半導体集積回路装置の製造工程中における要部断面図である。

【図54】図53に続く半導体集積回路装置の製造工程中における要部断面図である。

【図55】図54に続く半導体集積回路装置の製造工程中における要部断面図である。

【図56】図55に続く半導体集積回路装置の製造工程中における要部断面図である。

【図57】図56に続く半導体集積回路装置の製造工程中における要部断面図である。

【図58】図57に続く半導体集積回路装置の製造工程中における要部断面図である。

【図59】図58に続く半導体集積回路装置の製造工程中における要部断面図である。

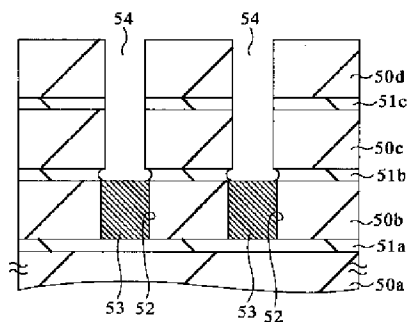
【符号の説明】

1, 1a～1k, 1m, 1n 層間絶縁膜  
2, 2b～2k 絶縁膜  
3a～3e 溝  
4 配線  
4L1 第1層配線  
4L2 第2層配線  
4L3 第3層配線  
4L4 第4層配線  
4L5 第5層配線  
4L6 第6層配線  
4L7 第7層配線  
4PL1, 4PL2, 4PL4, 4PL5, 4PL8,  
4PL10 プラグ  
4PL3, 4PL7, 4PL9 接続部  
5 孔  
5a, 5b, 5c1, 5c2, 5d, 5e, 5f, 5  
g, 5h スルーホール  
7, 7a～7 フォトレジスト膜（マスキング層、マスキングパターン）  
8, 8a, 8b 開口部  
9 RIE装置  
9a エッチングチャンバ  
9b 下部電極  
9c 第1の高周波電源  
9d 上部電極  
9e 第2の高周波電極

9f ガス導入系  
9g シャワープレート  
10 半導体ウエハ  
10s 半導体基板  
11 エッチング装置  
11a エッチングチャンバ  
11b 下部電極  
11c 第1の高周波電源  
11d ICPコイル  
11e 第2の高周波電源  
11f ガス導入系  
12 エッチング装置  
12a エッチングチャンバ  
12b 下部電極  
12c 第1の高周波電源  
12d 平板状のアンテナ  
12e 第2の高周波電源  
12f UHF電源  
12g 電磁石  
12h シャワープレート  
13N nウエル  
13P pウエル  
14 分離部  
15 ゲート絶縁膜  
16 ゲート電極  
17 サイドウォール  
18a 半導体領域  
18b シリサイド層  
19a 半導体領域  
19b シリサイド層  
20 コンタクトホール  
21 導体膜  
22a～22c 反射防止膜  
23 絶縁膜  
50a～50e 層間絶縁膜  
51a～51d 絶縁膜  
52 溝  
53 導体膜  
54 孔  
55 堆積物  
56 フォトレジスト膜  
57 開口部  
Qp pMIS  
Qn nMIS

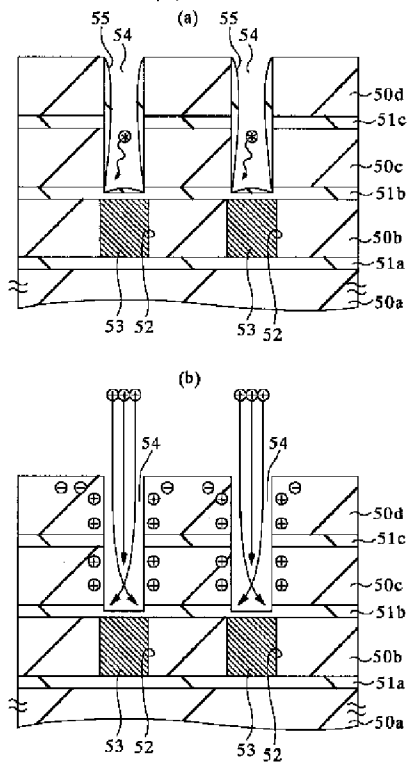
【図 1】

図 1



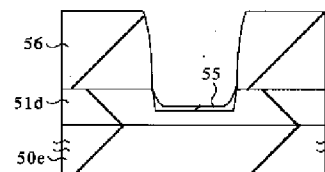
【図 2】

図 2



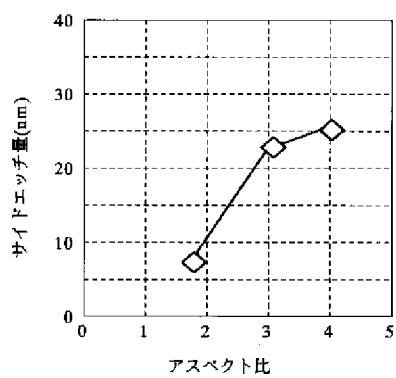
【図 5】

図 5



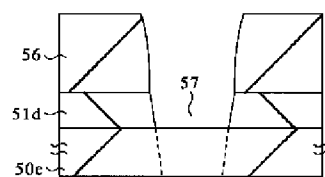
【図 3】

図 3



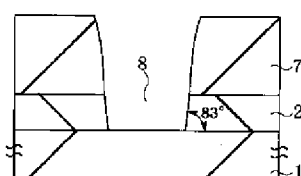
【図 4】

図 4



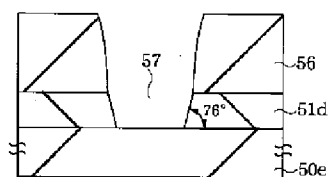
【図 8】

図 8



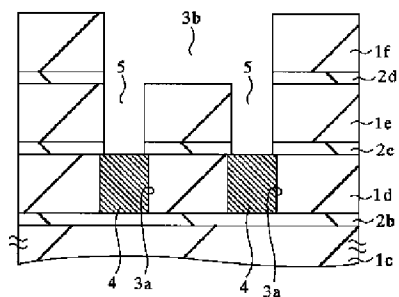
【図 9】

図 9



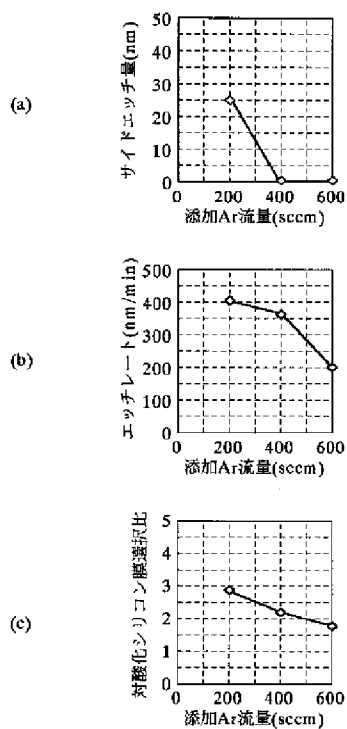
【図6】

図 6



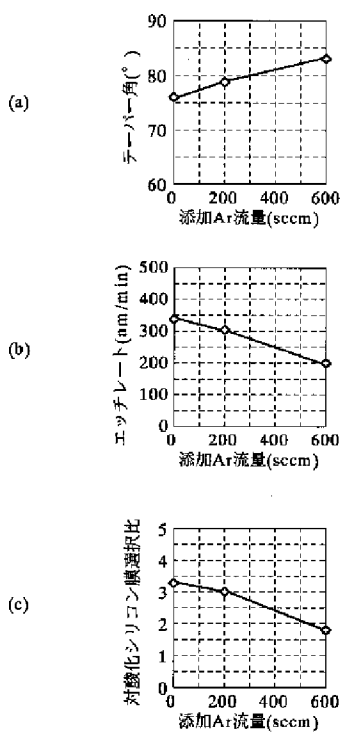
【図7】

図 7



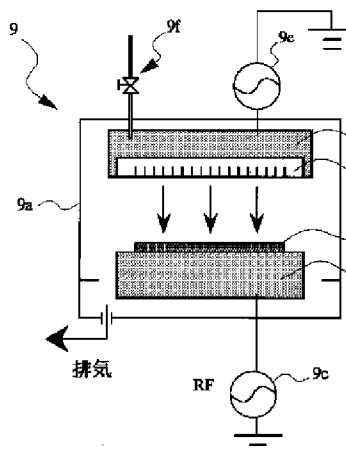
【図10】

図 10



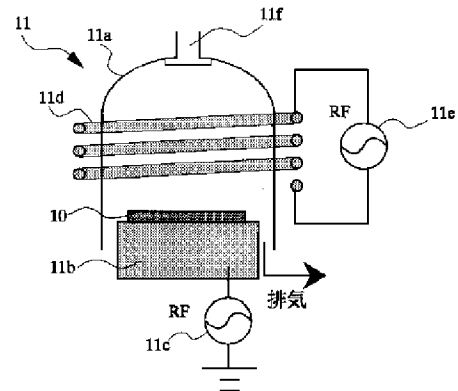
【図11】

図 11

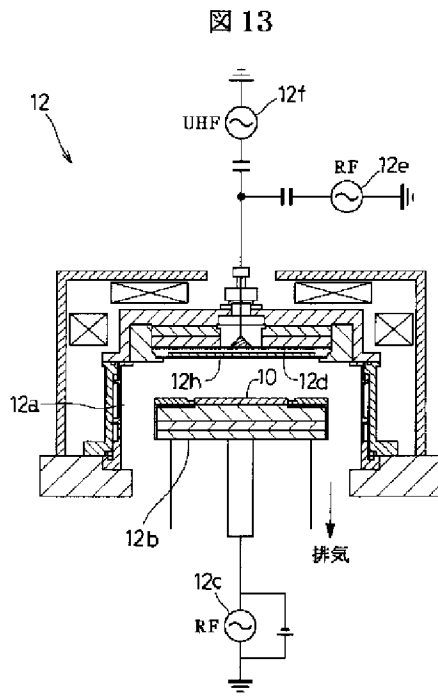


【図12】

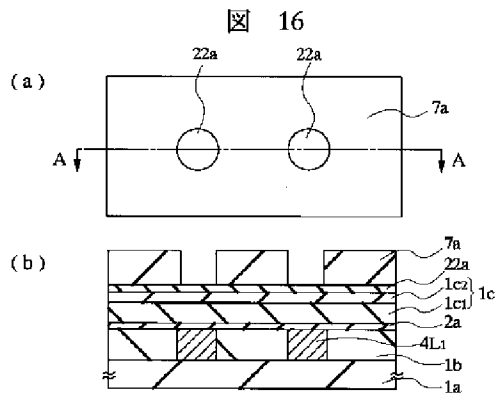
図 12



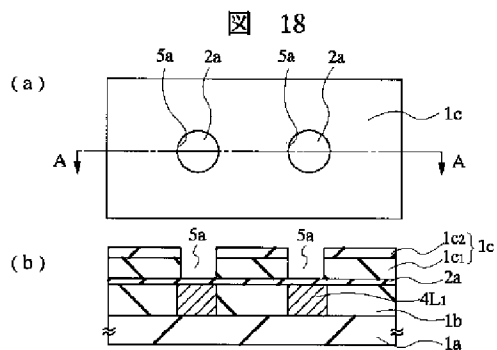
【図 1 3】



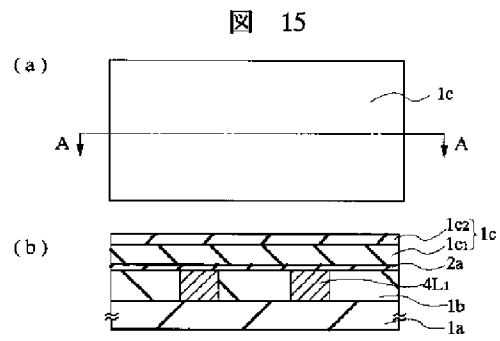
【図 1 6】



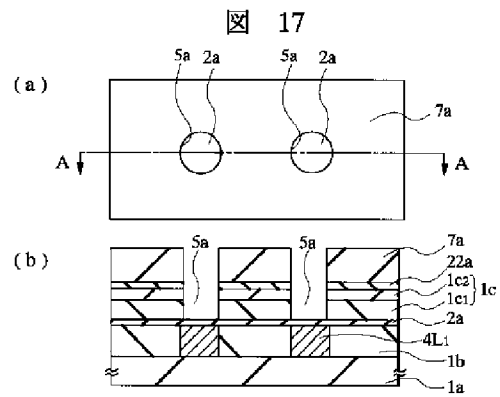
【図 1 8】



【図 1 5】

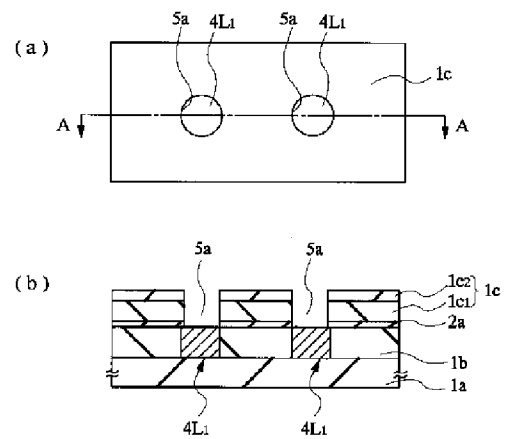


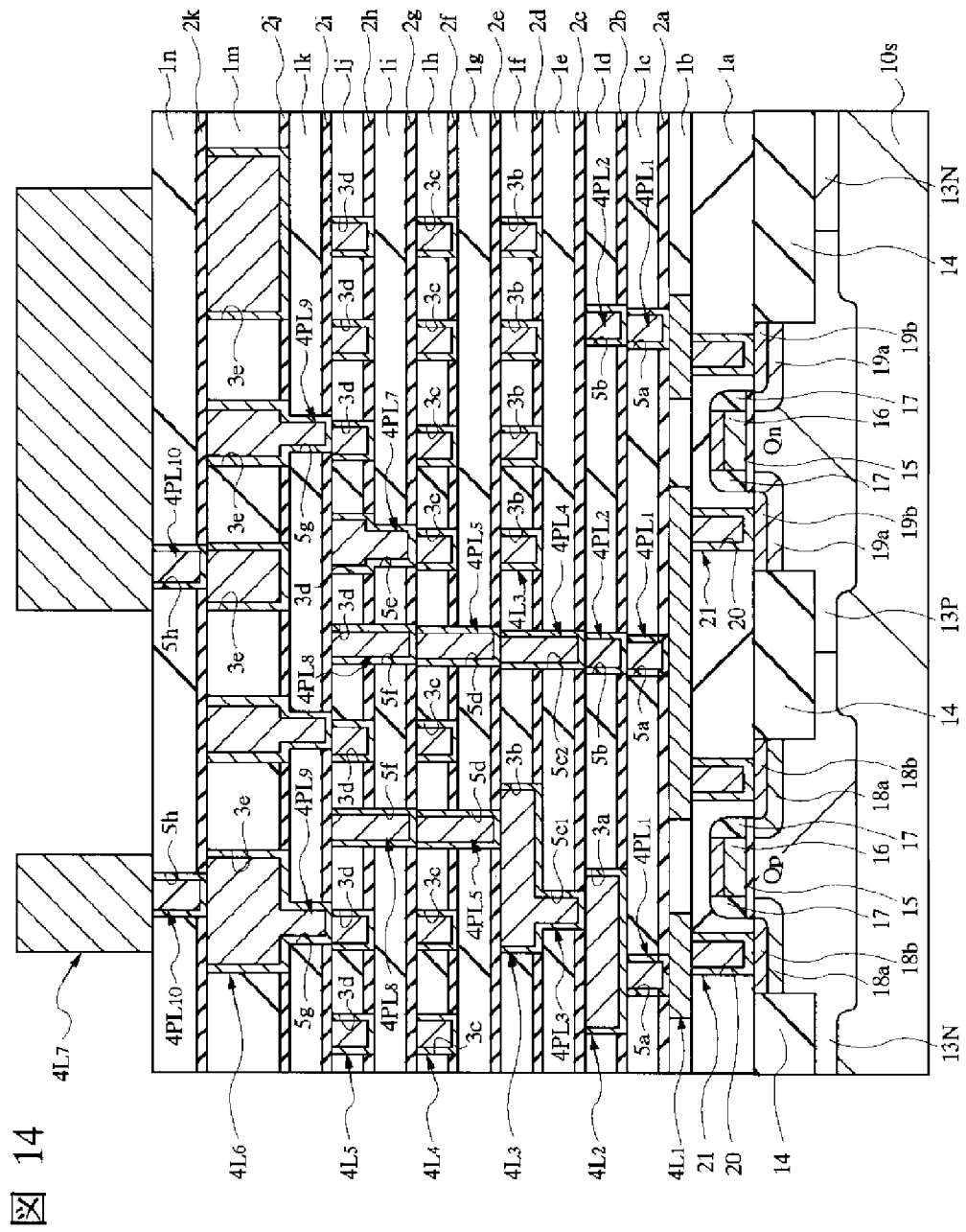
【図 1 7】



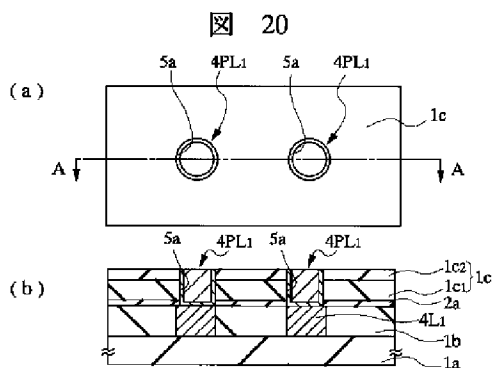
【図 1 9】

図 19

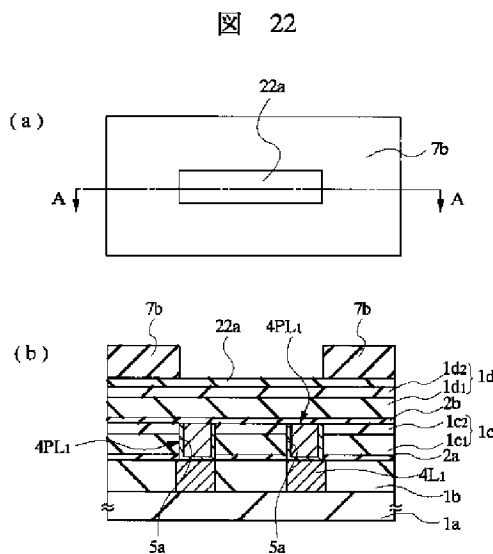




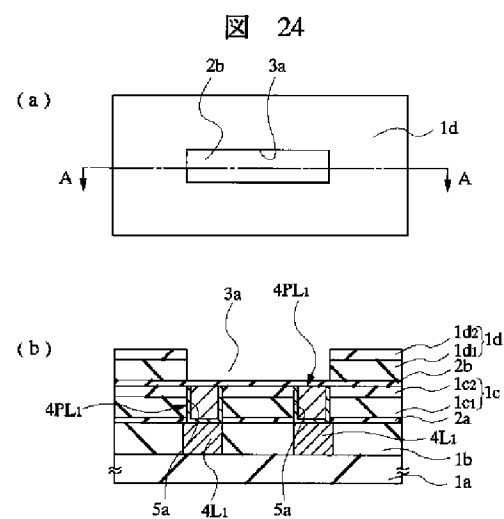
【図 2 0】



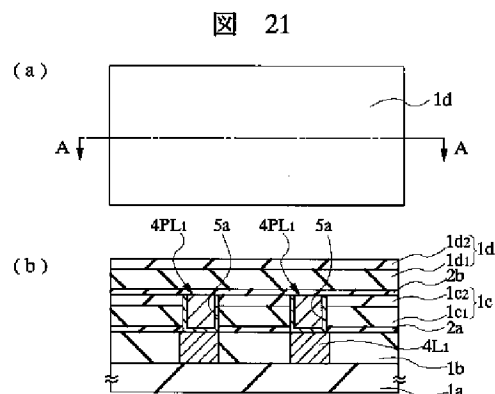
【図 2 2】



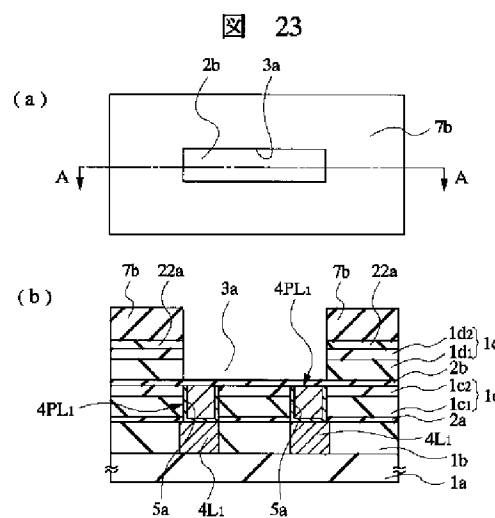
【図 2 4】



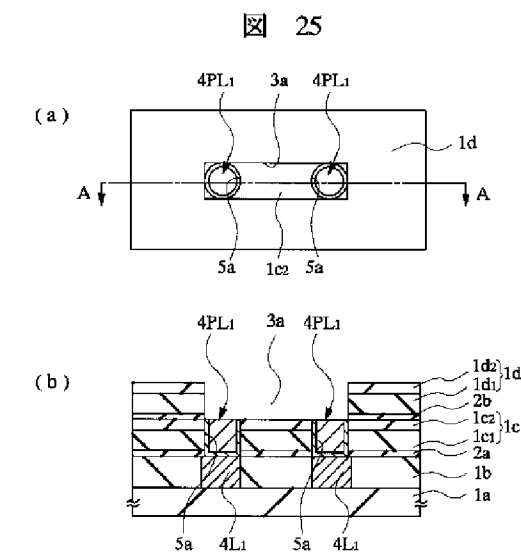
【図 2 1】



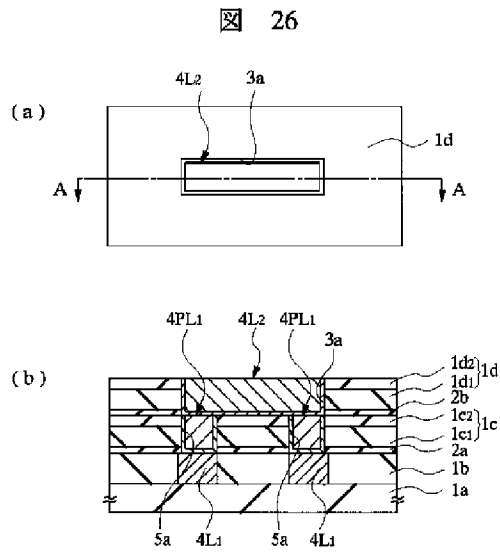
【図 2 3】



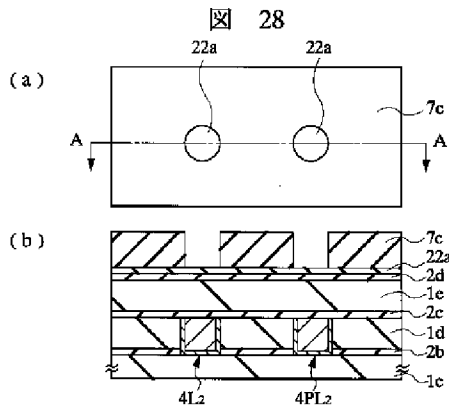
【図 2 5】



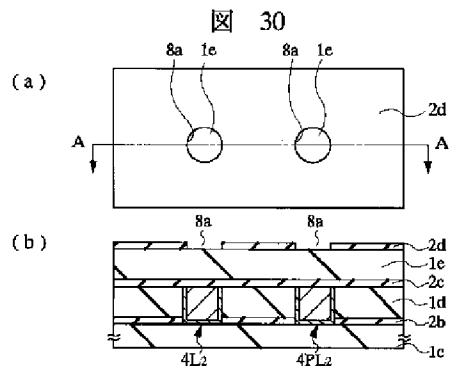
【図 2 6】



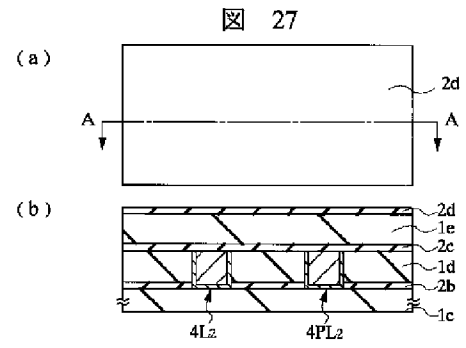
【図 2 8】



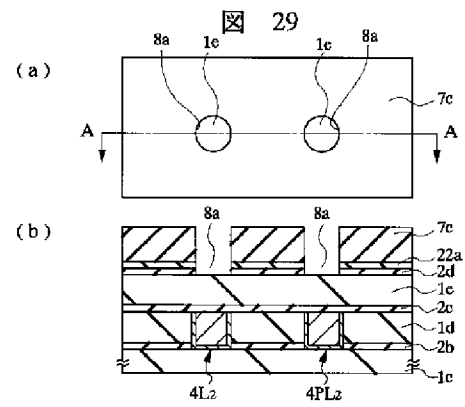
【図 3 0】



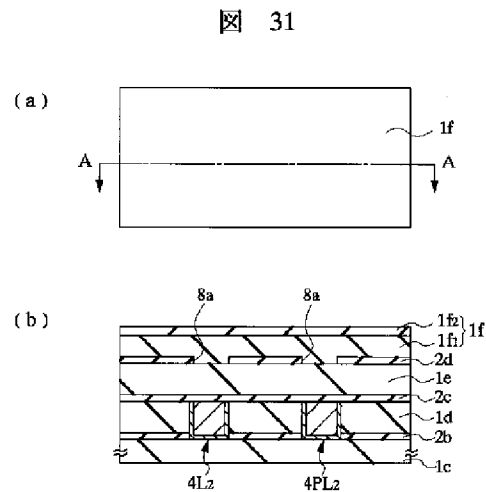
【図 2 7】



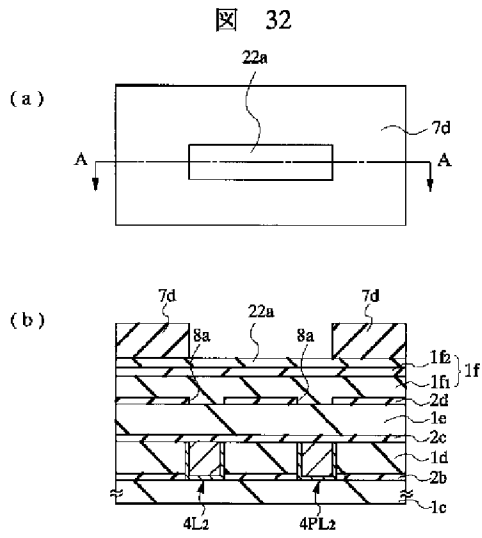
【図 2 9】



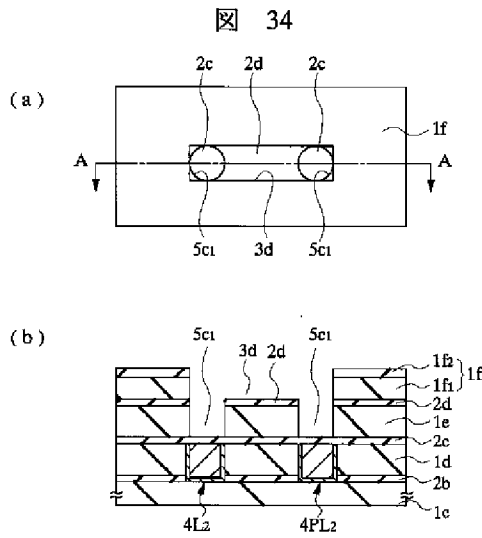
【図 3 1】



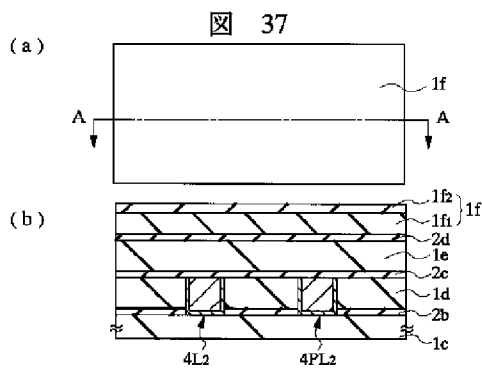
【図 3 2】



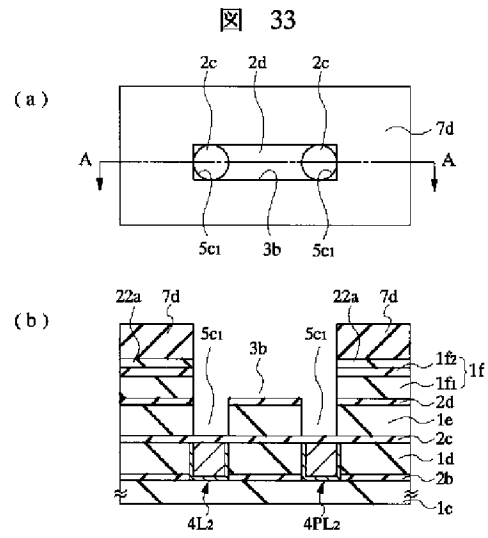
【図 3 4】



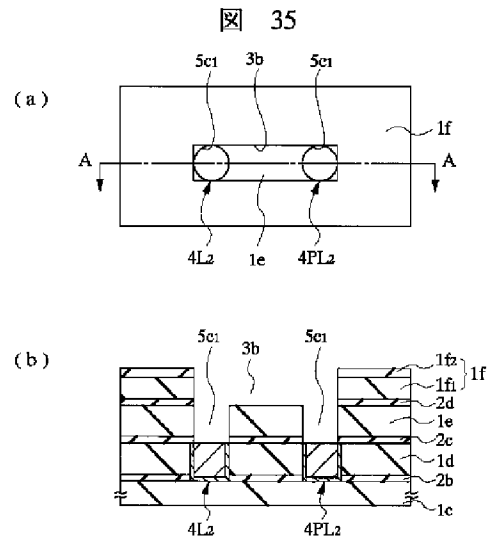
【図 3 7】



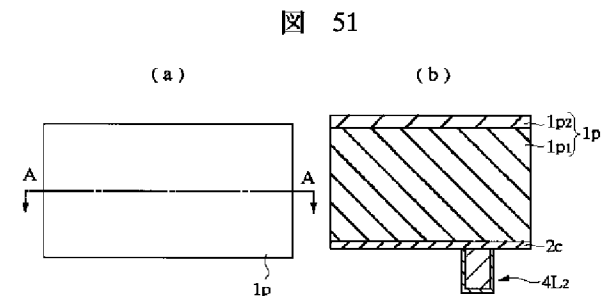
【図 3 3】



【図 3 5】

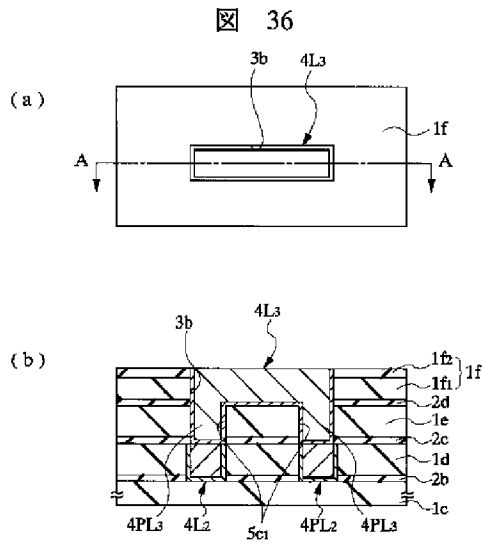


【図 5 1】

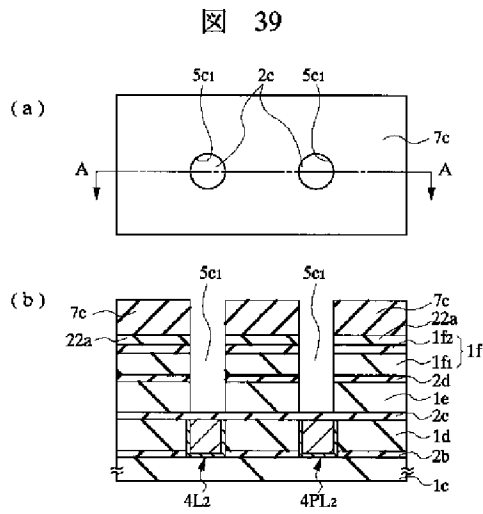




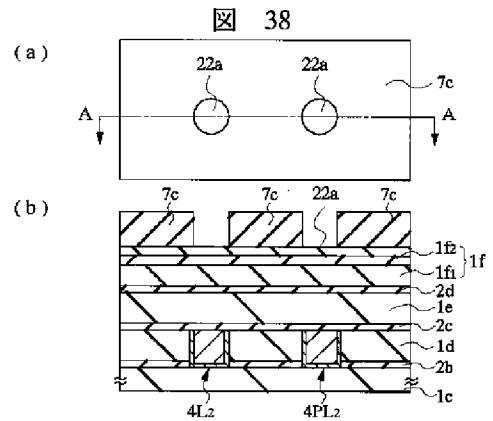
【図 3 6】



【図 3 9】

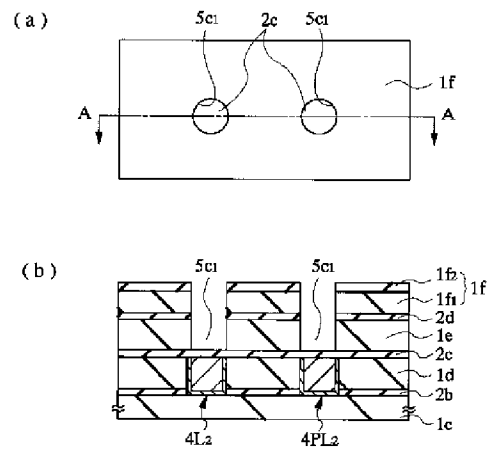


【図 3 8】



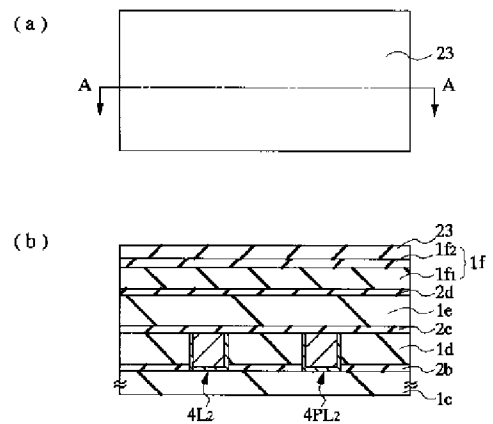
【図 4 0】

図 40

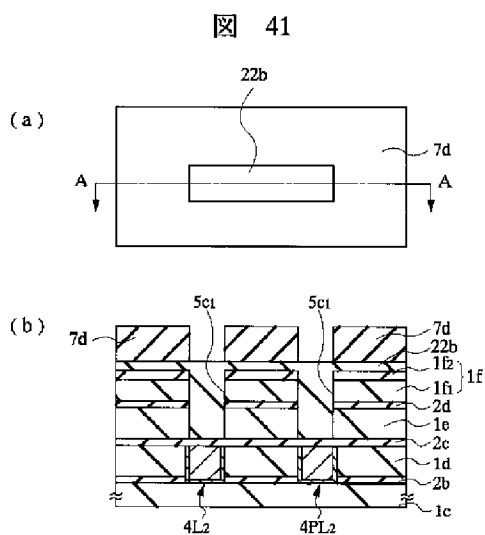


【図 4 3】

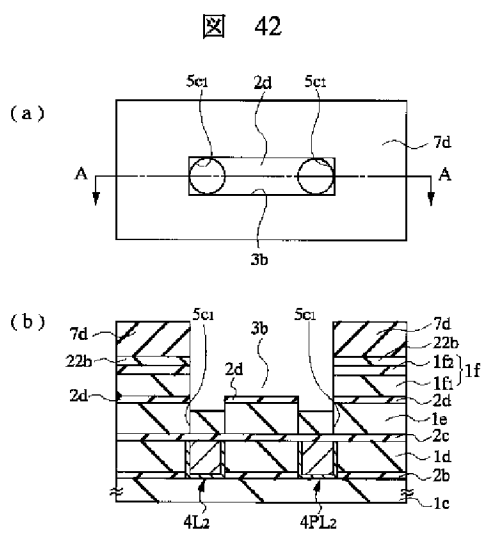
図 43



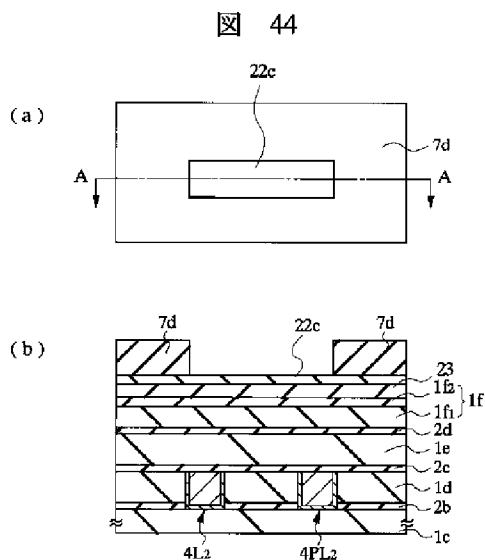
【図 4 1】



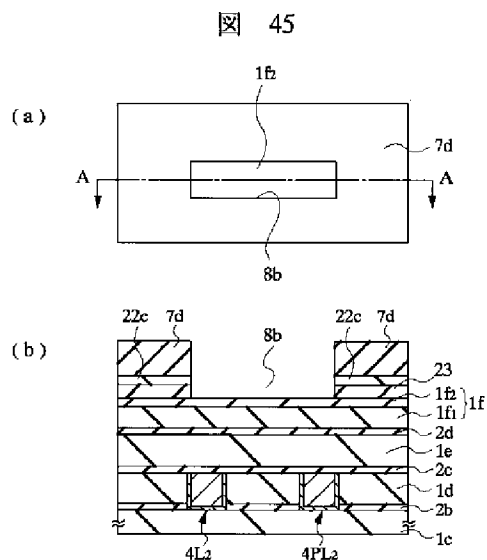
【図 4 2】



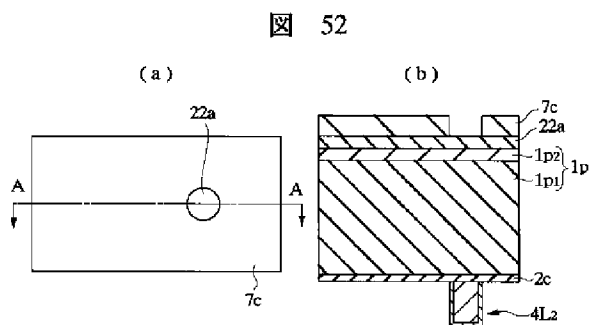
【図 4 4】



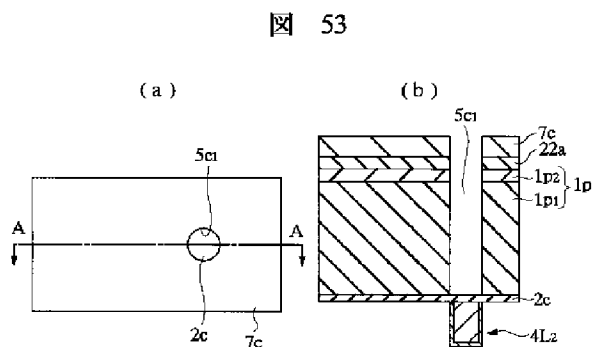
【図 4 5】



【図 5 2】



【図 5 3】



【图 4 6】

【図 48】

【図 5 4】

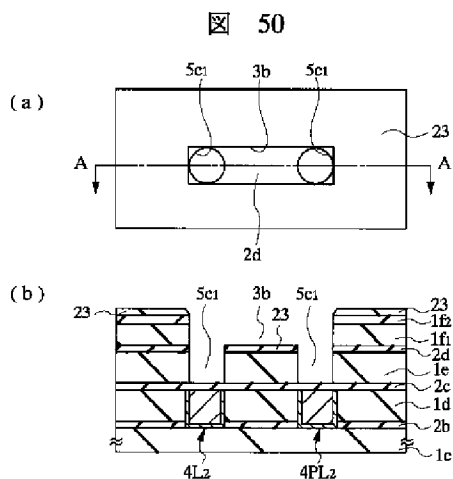
图 54

【図 49】

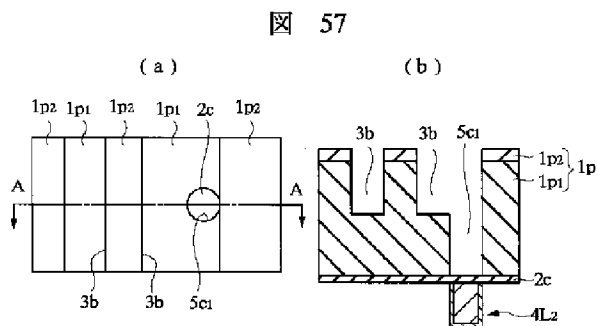
【図 5 6】

图 56

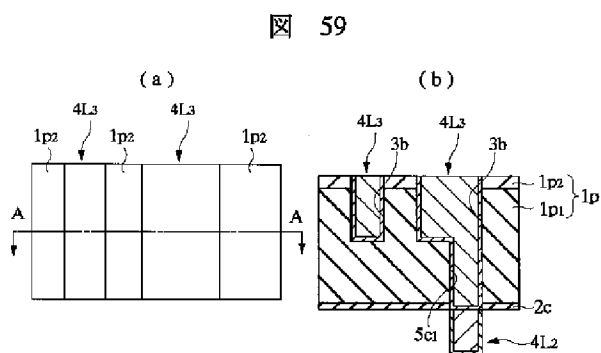
【図 5 0】



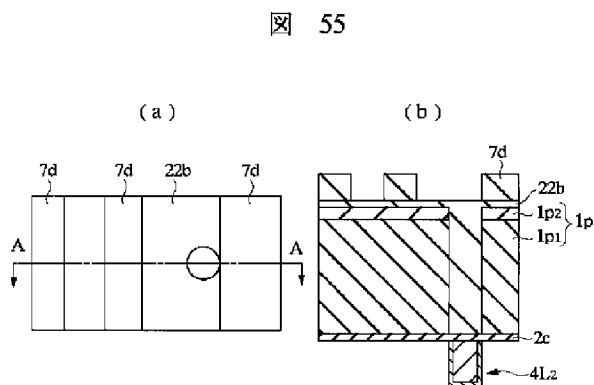
【図 5 7】



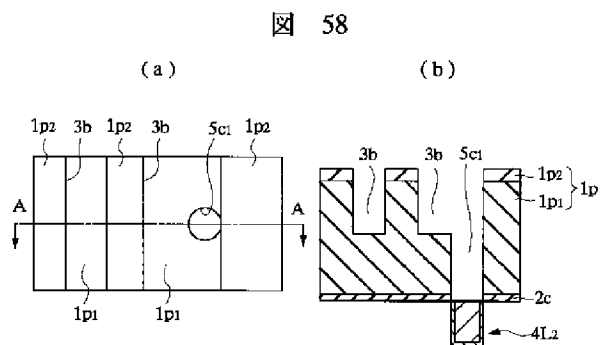
【図 5 9】



【図 5 5】



【図 5 8】



フロントページの続き

(72)発明者 野尻 一男  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内

(72)発明者 青木 英雄  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内

F ターム(参考) 5F004 AA05 BA04 BA14 BA20 BB11  
BB13 DA00 DA01 DA15 DA16  
DA22 DA23 DA25 DA26 DB00  
DB03 DB07 DB23 EB02  
5F033 HH11 HH19 HH21 HH32 HH33  
JJ11 JJ18 JJ19 JJ32 JJ33  
KK11 KK19 KK25 KK27 KK33  
MM01 MM02 MM12 MM13 NN06  
NN07 PP15 PP27 QQ04 QQ09  
QQ13 QQ15 QQ25 QQ27 QQ28  
QQ48 RR04 RR06 RR11 RR21  
RR23 RR25 SS04 SS15 TT04  
WW06 XX00 XX09 XX28